

M. Mutoh and M. Umetsu

Laboratory of Nuclear Science
Tohoku University

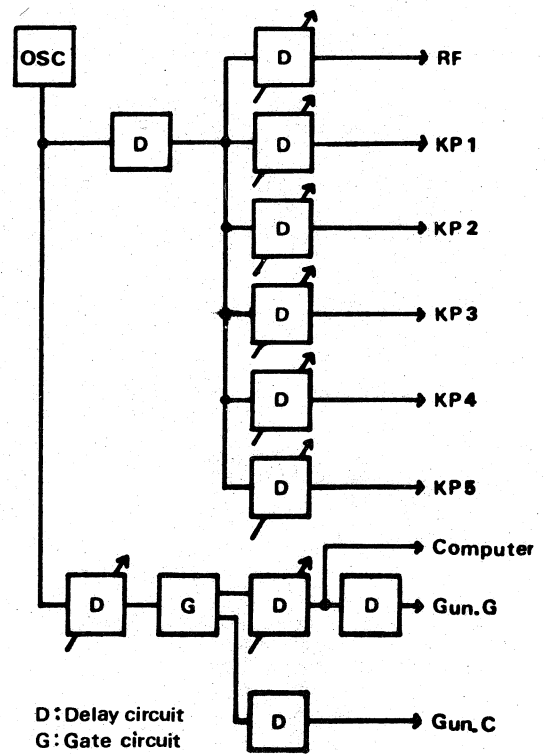
Abstract

A computer controlled trigger system for a Linac was developed. The pulse repetition rate, delay time and the pattern of the pulse train are controlled by a microprocessor. The system is connected to a Linac control computer through CAMAC.

核理研ではコンピュータを用いた電子リニアック制御のためにその制御系の整備を進めている。現在、リニアック運転時の主なパラメータはCAMAC系を介してコンピュータ(MELCOM-70)に読み込まれ、一定時間ごとにプリントアウトアップしている。更にコンピュータ側からリニアックを制御するための制御装置も着々と整備されてきており分析電磁石、ECS電磁石やクライストロン系の大電力移相器、分割器、減衰器などはハードウェアとしては制御できるようになっている。

こうした計画にそって今回トリガシステムの改造をしたので報告する。

本図はトリガシステムのブロック図である。システムは、マスタオシレータ、ディレー回路、ゲート回路で構成されていて、システム全体を制御するためにマイクロプロセッサが使われている。装置はNIMモジュールで作られている。

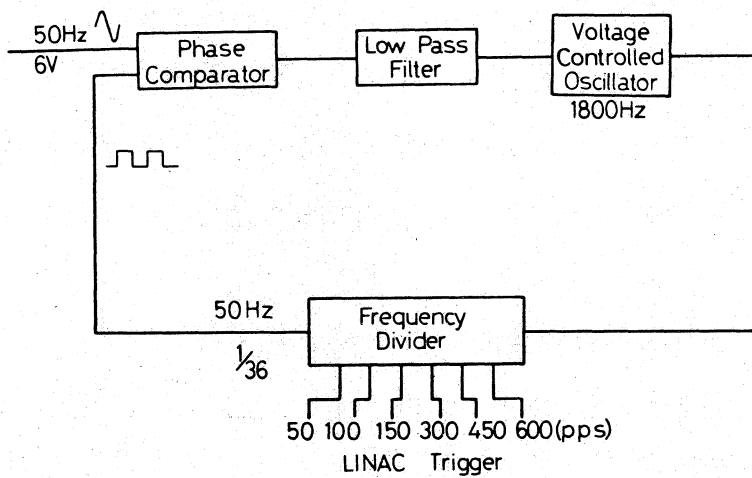


第1図

(マスタオシレータ)

クライストロンパルスや各種の装置が電源リップルの影響を受けるのを嫌って、リニアックは電源周波数に同期して運転している。このため、マスタオシレータにはフェーズロック方式を採用し、電源周波数との同期をとっている。オシレータはマスタオシレータのブロック図である。オシレータ(1800Hz)の出力は、必要とする繰り返し周波数を得るため分割されリニアックのトリガ信号となる。分割回路のデューティは50%の50Hzの出力は電源周波数と位相比較され、それらの位相のずれに応じた誤差信号によってオシレータの発振周波数が制御され、オシレータは電源周波数に完全に位相ロックするようになっている。

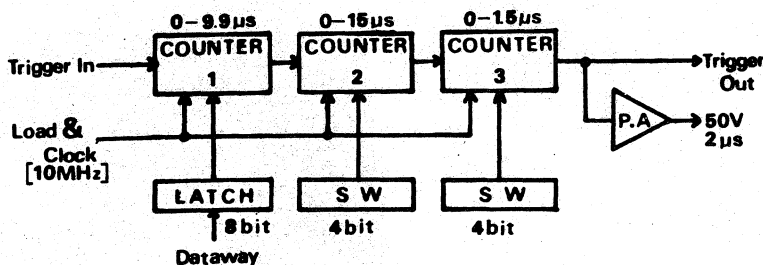
リニアックのトリガ信号は、電源周波数同期モードの他に外部から(実験装置などから)のトリガ信号を得る外部同期モード、それに電源周波数とは全く無関係に動作するオシレータ(50~250Hz連続可変)からトリガ信号を得るフリーランニングモードがありパネル面上のスイッチでいずれか選択する。



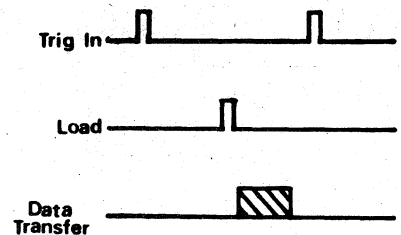
第 2 図

(デイレ回路)

可変型、半固定型合せて11の回路は1幅のNIMモジュールに2回路ずつ収納している。オシレータの出力は、制御卓上の8個のヘリポットを操作しデイレタイムを制御している。制御は0.1μs単位で可変幅は10μsである。このヘリポットの電圧と半固定デイレ回路のため



第 3 図

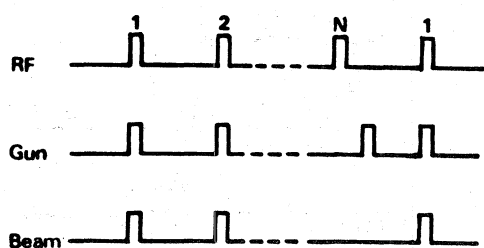


第 4 図

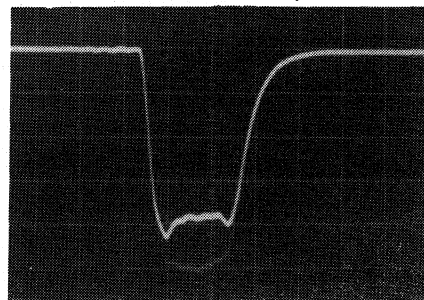
の本装置パネル面上の3個のヘリポットの電圧は、2組のマルチプレクサ(MPX)とADCにより常に10進3桁のデジタリ値に交換されている。通常はその上位2桁をデジレイタイムとして、デジレイ回路にある3個のカウンタのうちカウンター1に設定している。いずれのカウンタも10MHzのクロックパルスに完全に同期して動作し、Trigger Inの信号でカウンター1がプリセットした値だけ、クロックパルスを数え、順次カウンター2、カウンター3と動作する。カウンター2、3は各機器固有のデジレイタイム調整用で、それらの値は基板上のスイッチで設定する。デジレイ回路の出力はTTLレベルのものと各機器に送るためのパルス幅2μs、パルス高50Vのものが用意されている。ADCを使ったこのデジタリデジレイ方式では、カウンター1を設定する10進2桁の値が±1の変動を生ずる場合があり、デジレイタイムの変動はリニアック運転上好ましくない。これはヘリポット電圧に含まれるノイズ(電源の変動も含む)とADCの変換過程で生ずる変動がその原因で、それを除去するためにマイクロプロセッサは、ADCからの10進3桁の値を10進2桁のデジレイタイムに変換する際にヒステリシス特性をもった変換回路として動作し、オペレータによる操作のそれと識別している。各カウンタのデジレイタイムのプリセットはオ4図に示すようなタイミングでLOAD信号により行なわれ、また、マイクロプロセッサから各デジレイ回路へのデジレイタイムの転送は、LOAD信号から次のトリガ信号までの間に行なっている。

(ゲート回路)

実験によればは1パルスだけ、又はある数だけ(又は時間)ビーム加速を行なうという場合がある。ゲート回路では、加速しない時は入射系のタイミングをRF系のそれからずらしておき、加速する時のみそれらを一致させるという方式をとっている。ゲート回路には「SINGLE」、「GATE」、「NORMAL」のモードがあり、「SINGLE」は外部から信号が与えられた時1パルスだけ加速を行ない、「GATE」は外部から信号



第5図

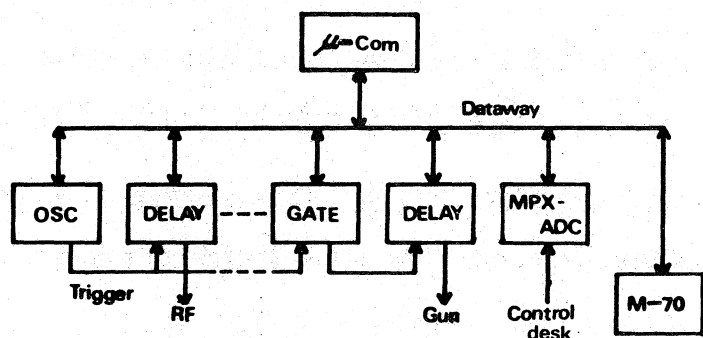


第6図

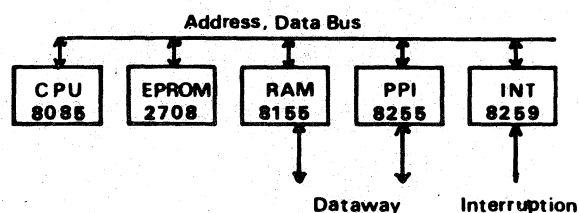
が与えられている間加速を行なう。「NORMAL」は通常の運転状態であるが、このモードではNパルスごとに入射系のタイミングをずらし、ビームローディングの状態がモニタできるようにになっている。オ5図はそのタイミング関係を示し、Nはパネル上のスイッチで16、32、64、128と選択でき、また、コンピュータ側からもN=16~128の任意の値に設定できるようになっている。オ6図は加速管出口でのマイクロ波検波波形である。図中濃い波形がビーム加速状態、薄い波形が加速していない状態を示し、ビームローディングが一目でわかる。

(マイクロプロセッサ)

マスタオシレータ、ディレイ回路、ADC、ゲート回路及びCAMACとのインタフェース回路は、オ7図に示すようにバスライン(データウェイと呼ぶ)を通してマイクロプロセッサに接続している。各回路間のデータは全てマイクロプロセッサを経由しているためコンピュータ側からこれらデータのモニタはもちろん、データの変更などが容易に行なえるようになっている。データウェイは8ビットのデータにファンクション4ビット、ステーションナンバー12本、サブアドレス3ビットで構成されていて、CAMACのデータウェイに似た方式をとっている。CAMAC系とはI/Oレジスタモジュールを通し、8ビット並列でデータの送受ができる。マイクロプロセッサは、インテルの8085を中心にROM、RAM、I/Oポート、割込み制御などをワンボード化し、リニアックの制御系、実験装置などに簡単に組み込んで使用できるように設計したものである。オ8図にそのブロック図を示す。



第7図



第8図