

STATUS CHANGING MONITOR CAMAC MODULE

Junji Urakawa, Takashi Kawamoto and *Tadashi Hazawa

KEK, National Laboratory for High Energy Physics

OH0 1-1, Tsukuba-shi, Ibaragi-ken

*Nihon Field Service

ABSTRACT

We developed a new CAMAC Module for the TAF control system and named it the status changing monitor CAMAC module(SCM). This module has 64 optically isolated digital input channels and 64x16 bits memory. Changes of the input bit pattern are registered into the memory with variable monitoring speed.

1.はじめに

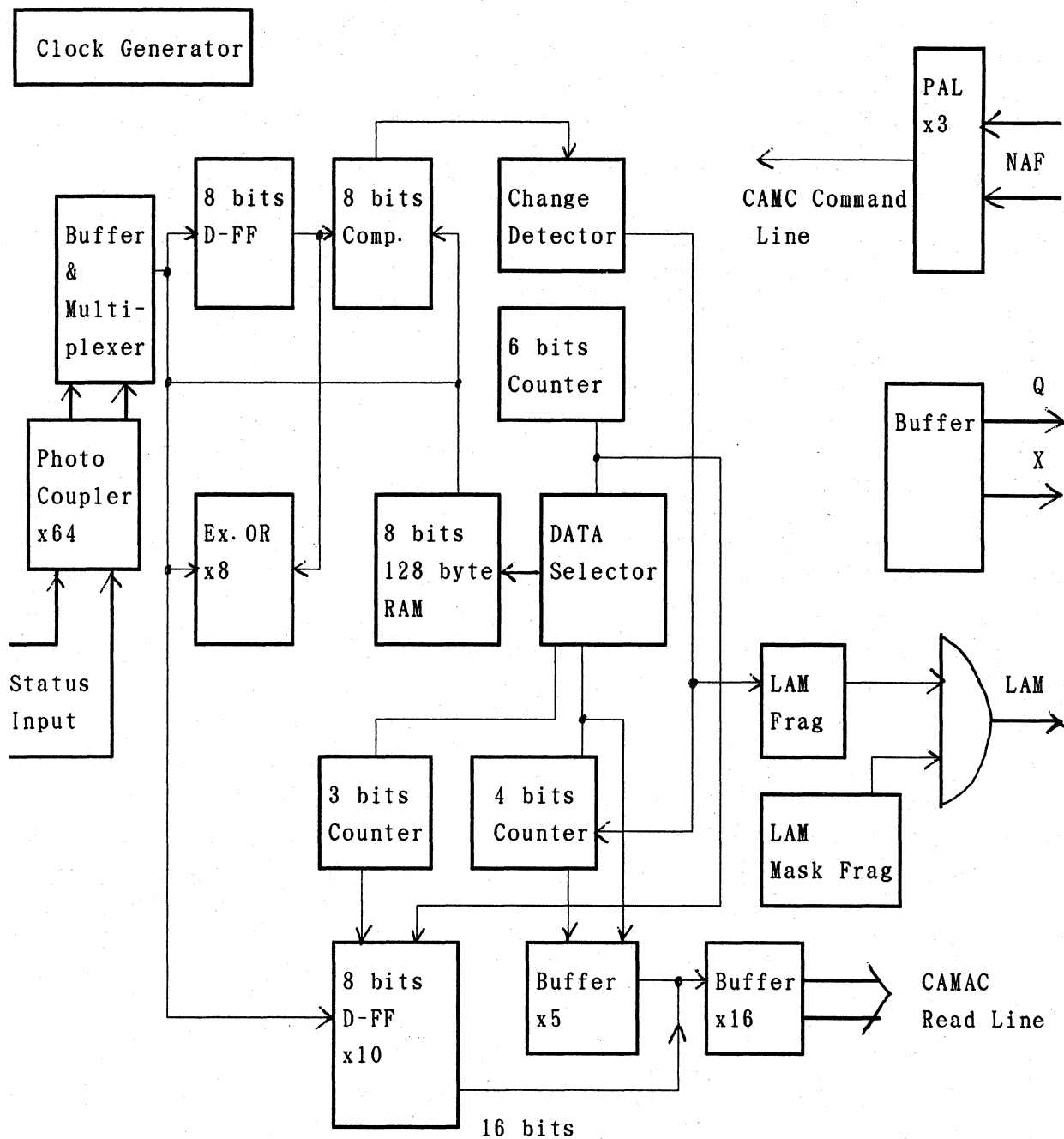
トリスタン日光実験室(B4)でリニアコライダー計画のために 0.2 MeV Test Accelerator Facility (TAF Phase 1)の建設が進められほぼ完成した。TAF Phase 1のコントロールシステムとして、Optical Enhanced CAMAC Serial Highway Systemを使用することを昨年3月に決定した。これはトリスタンCAMAC Systemの知識とトリスタンで製作された CAMAC Modules^(Ref 1, 2)が十分に利用できるからである。ただし、KEK PF 2.5 GeV Linacで使用されている Fast Changing Module に対応する CAMAC Moduleを作る必要があった。Fast Changing Module には μ -processor(μ PD 8279C-5)が使用されているが、我々は変化の測定速度及びノイズ環境(20MHz~100MHz)を考慮して、 μ -processorを使用しないで、RAM Memoryを持った簡単な Fast Changing CAMAC Moduleを昨年9月に完成させた。この Moduleを使用して、昨年以來インターロックの表示を行なってきた。今年、この Fast Changing CAMAC Moduleをさらに改良して、トリスタンの Cabling 仕様と合うように入力点数を50点から64点に増やし、インターロックの変化の測定速度を選択できるようにした。この改良した Moduleの名前を Status Changing Monitor CAMAC Moduleとした。

このモジュールは、Fast Changing Module と同じ入力回路を持ち、インターロックの変化を高速でメモリーに記録する 2幅の CAMAC Moduleである。Linacにおいて、放電などでインターロックが動作した場合、何が原因でインターロックが動作したかを調べるのに有効である。インターロックに対する計算機の応答速度を考慮して、このモジュールは割込み機能を持っている。

インターロック Statusの変化が波及効果で 16回以上連続して発生した場合、この Moduleの Memoryに $8\mu\text{sec}/64\text{ bits data}$ の速さで、最初の Status変化から順番に 16 DATA分記録される。そして計算機に割込みがかかり、約 $50\mu\text{sec}/64\text{ bits data}$ の速さで計算機に DATAが取込まれる。

2. 回路構成

図 1



回路構成は上の Block図のようになっている。Clock Generatorの Clockは Dip Switchによって選択でき、Statusの変化の測定速度を変更できる。その 1サイクル当りの測定時間を Table 1に示す。回路の原理は簡単で、メモリーに書かれた Previous DATAと現在の状態を Clock Generatorに従ってコンパレータで 8 bits単位で比較する。入力に変化があると、メモリーのアドレスを 64 bits分進める。この操作によって、今まで書き込まれたデータが蓄積され、この DATAが Previous DATAになる。

Table 1

Clock周期 (nsec)	Cycle時間 (μ sec)
62.5	8
125	16
312.5	40
625	80
1250	160
2500	320

3. CAMAC Commandの説明

F(0)A(0) Read Memory

内部のリードカウンタで示されたメモリーの内容を読み出す。読み出した後、リードカウンタはインクリメントされる。Q信号は、ステータスを示す。正常動作のときは 1、データが無効の時は 0である。Q=0の時は、リードカウンタはインクリメントされない。

F(0)A(1~4) Read Input Status

Subaddressで DATA Addressを選択して、64 bits分の現在の入力 DATAを読み出す。

F(1)A(0) Read Memory Address

メモリアドレスカウンタの内容を読み出す。この内容は、これまでに入力の変化が何回起ったかを示す。リセット時は 1である。

F(9)A(0) Restart Module

Moduleを初期状態にする。すなわち、リードカウンタを 0に、メモリアドレスカウンタを 1にする。LAM に関しては初期化されない。

F(9)A(1) Read CNT リードカウンタの内容を 0にする。

F(10)A(0) LAM Clear LAM フラグを Clearする。

F(24)A(0) LAM Disable F(26)A(0) LAM Enable F(27)A(0) Test LAM

4. 応用

この Moduleを使用することによって、Alarm用プログラムが簡単になり、応答速度が速くなる。大きなシステム、たとえば JLC などでのこの Moduleを使用した場合、小型TVに、時間起動のプログラムによって Statusを表示して、インターロックが動作した場合は、割込み起動のプログラムによって Memory の内容を取りだし、Alarmの状況をセンターの Alarm Displayに表示する。この Memoryの内容は Klystron及び Cavityなどの問題点を把握する上で重要な情報源となる。

5. 謝辞

TAFのコントロールにおいて、FAST Change Moduleが重要であることを説明して下さった松本浩氏に心から感謝します。又、松本氏とコムリサーチジャパン(株)の Roger P. Bissonnette氏は多くの有益な忠告をして下さいました。この場をかりて、Roger氏にお礼を申し上げます。

参考文献

Ref.1 S. Kurokawa et. al., Nucl. Instr. and Meth. A247,29(1986)

Ref.2 K. Uchino et. al., Proc. 5th Symposium on Accelerator and Technology (KEK, 1984), p. 335.