

[F17p16]

DEVELOPMENT OF A SI-THYRISTOR SWITCH FOR HIGH-POWER KLYSTRON MODULATOR

M. Akemoto, H. Honma and S. Anami

High Energy Accelerator Research Organization (KEK)
Oho 1-1, Tsukuba-shi, Ibaraki-ken, 305-0801 Japan

N. Shimizu and M. Iguchi

Toyo Electric Mfg. Co., Ltd.,
Kami-Soyagi, Yamato-shi, Kanagawa-ken, 242-0029 Japan

Abstract

For a large-scale klystron modulator system such as linear colliders, semiconductor switches with their long life are required as replacements of thyratrons. The SI-thyristor designed for pulsed power applications is suitable for this requirement because of its high-power handling and fast turn-on capabilities. This paper presents the results of performance tests of SI-thyristors.

大電力クライストロンパルス電源用 SI サイリスタスイッチの開発

1. はじめに

クライストロン用パルス電源では、高電圧、大電力のパルスをスイッチングするスイッチ素子が必要で、従来、大型のサイラトロンが用いられている。しかし、サイラトロンは放電を利用するため長寿命化が困難で、またヒーターを必要とするため効率が悪いという問題がある。特にリニアコライダー[1]のように、数千台という大規模な電源システムを構築する場合、この問題が、加速器の高信頼化を妨げ、また運転費用の増大を招くため、リニアコライダーを実現するうえで重大な障害となる。このために、スイッチ素子の半導体化が要求される。

サイラトロンを半導体素子に置き換えるには、高耐圧化が容易で、高速・大容量の半導体素子が要求されるが、最近開発されたSIサイリスタ[2]は、高速特性と大容量特性[3]を兼ね備え、また電力損失も少ない特性を持っているので、この素子が、サイラトロンに換わるスイッチ素子として最も有望な素子と考えられる。

今回、1素子単体のSIサイリスタの通電及び損失特性についての試験を行ったので、その報告を行う。また性能比較のため、ABB社製高速サイリスタも試験した。

2. スイッチング損失評価と試験素子

2-1. 損失特性の評価方法

通常、損失の評価方法は、動作時に試験素子の両端の

電圧および電流を測定し、その電圧、電流積の時間積分から計算する方法がとられるが、この場合、測定精度が問題となる。そこで、今回、試験素子のスイッチング損失の発熱による温度上昇を測定して、その値から損失を算出する直接的方法で、損失評価を行った。

2-2. 試験素子

今回試験した3種類の素子の仕様を表1に示す。

表1 試験素子

試験素子	製品名	耐電圧(kV)	ライフタイム制御(MR)
A	東洋電機製造 RT103N	4.0	6
B	東洋電機製造 RT103N	4.0	10
C	ABB社 5STH-20H4501	4.5	-

東洋電機製造のものは、インバータ用として設計、試作されたものである。ライフタイム制御は γ 線照射量で制御した。

2-3. 損失と温度上昇の関係

試験を始める前に試験素子のスイッチング損失と温度上昇の関係を、試験素子に直流電流を通電する方法で求

めた。直流電流を変化させ、その際試験素子に生じる温度上昇と素子の DC 損失を測定し、それによって温度上昇と DC 損失の相関を各試験素子について求めた。温度は、素子に直接付けられた熱電対で測定し温度が飽和するまで30分要した。図1にその結果を示す。各測定データから多項式による近似式をもとめ、その式を使って温度上昇をスイッチング損失に換算した。

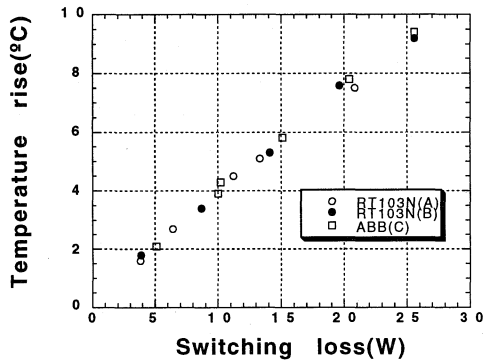


図1 スwitching損失と温度上昇

3. 実験回路

実験回路を、図2に示す。高圧直流電源でコンデンサーを充電し、試験素子を通して放電させた。また磁気アシスト効果を調べるために過飽和リアクトルを直列に接続した。本実験では、TDK製フェライトコア PE22-P74x20x34を用い、そのコアの断面積を変えることにより磁気アシスト時間(電流遅延時間)を変化させた。

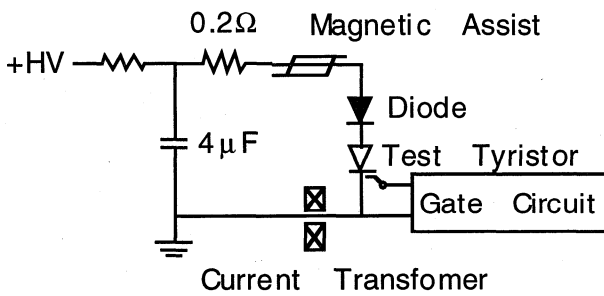


図2 実験回路

表2 ゲート回路

ゲート回路	ピーク電流(A)	パルス幅(μs)	ゲートドライブ電荷量(μC)
G1	160	0.3	48
G2	270	1.7	459
G3	372	1.6	595

ゲート回路は、オン信号出力特性を調べるために表2

に示す3種類の回路を用いた。ゲートドライブ電荷量は、ゲート電流のピーク値とオンゲート電流幅の積と定義した。スイッチの繰り返しは、15Hzで行った。

4. 実験結果

4.1. 通電特性

試験素子B、コンデンサーの充電電圧(スイッチ電圧)が3kV、ゲート回路G1、磁気アシスト時間0.67μsでの電圧、電流波形を図3に示す。電圧は、試験素子のアノードとカソード間を電圧プローブ(Tektronix製P5100型)で測定し、電流はCT(Pearson製Model110)を用いて測定した。ここでオン電圧の振舞をみるために、電圧波形は拡大してある。最大値として、電流が3.9kA、di/dt~2kA/μsが得られた。

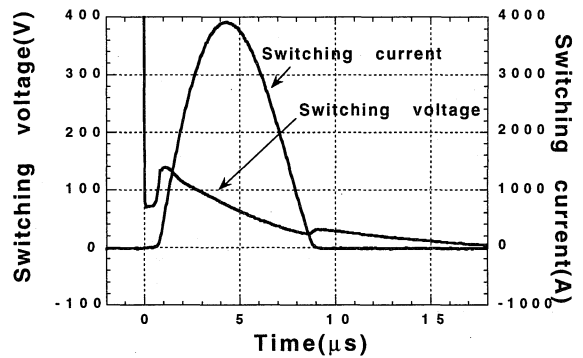


図3 スwitching波形

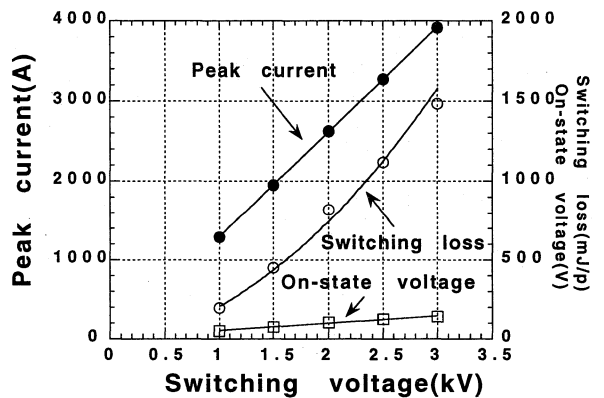


図4 ピーク電流、オン電圧及びエネルギー損失とスイッチ電圧の関係

次に、スイッチ電圧を変化させて、ピーク電流、オン電圧及びスイッチング損失を測定した。図4にその結果を示す。ここでオン電圧は、電流が流れはじめた後のピーク値と定義した。スイッチ電圧に比例してピーク電流及びオン電圧は線形に増加している。またスイッチング

損失はピーク電流の約二乗に比例して増加することから、SIサイリスタが正常動作範囲内であることがわかる。但し、図4のスイッチング損失は、測定した電圧・電流波形から計算した。実験中、素子の破壊等の異常は見られなかった。

4-2. 損失特性

図5は、スイッチ電圧が3kV、磁気アシスト時間0.67 μ sの条件での、ゲートドライブ電荷量に対する各素子の損失特性を示す。SIサイリスタ(記号A,B)は低いゲートドライブ電荷量で、損失が飽和しほぼ一定の値を示した。一方、試験素子Cは、ゲートドライブ電荷量が顕著に損失に影響し、損失を最小にするためには、SIサイリスタと比較して、約4倍のゲートドライブ電荷量が必要とすることがわかる。またその損失は、SIサイリスタと比較して、約2倍以上であることもわかった。図5で素子A,Bの比較から、ライフタイム制御による損失の改善効果は顕著で、30%以上の改善が可能であることがわかった。

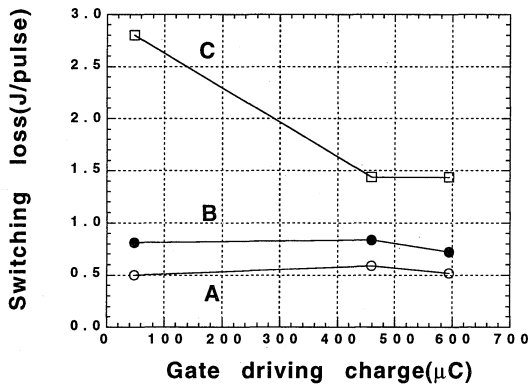


図5 損失特性

4-3. 磁気アシスト効果

スイッチング損失を低減する方法としての磁気アシスト効果を調べるため、磁気アシスト時間を0.34、0.67、1.34 μ sと変化させ、その時の損失を測定した。図6に試験素子A、スイッチ電圧が3kV、ゲート回路G3での電流遅延時間に対する損失の関係を示す。遅延時間約0.6 μ s付近で効果が現われ、素子損失は、約0.5J/パルスに低減し、それ以上遅延時間を増やしてもほとんど変化がなかった。この結果より素子損失を最小にするためには、0.7 μ s程度の遅延時間が必要であることがわかった。

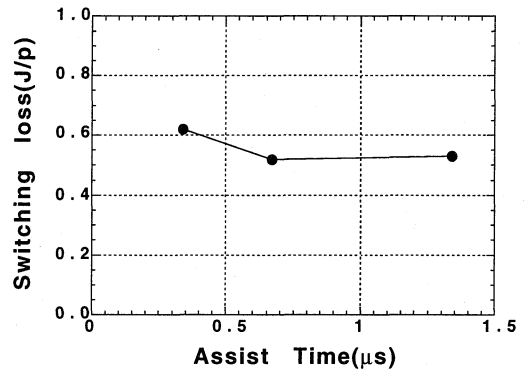


図6 磁気アシストによる損失特性

5. まとめ

本試験により得られた成果を以下にまとめる。

- (1) SIサイリスタは、低いゲートドライブ電荷量で容易にスイッチング損失が低いレベルに飽和することが判明した。
 - (2) SIサイリスタは、ABB社製サイリスタ比べて、1/4以下のゲートドライブ電荷量ですみ、またスイッチング損失は1/2以上であることがわかった。
 - (3) 磁気アシストによってスイッチング損失を低減できることがわかった。
 - (4) ライフタイム制御によるスイッチング損失改善が30%以上できることがわかった。
- 今後、矩形波による同様な特性試験を行った後SIサイリスタの直列化技術を確立し、実用化を図っていく予定である。

参考文献

- [1] JLC Design Study Group, "JLC Design Study," KEK Report 97-1, 1997.
- [2] N. Shimizu et al., "4kV Reverse Conducting Static Induction Thyristor," 10th SI Device Symposium, SSID-97-6, 1997.
- [3] S. Ibuka et al., "Evaluation of 5500-class SI-Thyristor as Pulse Power Switching Device Utilizing a Low Inductance Testing Circuit," 23rd International Power Modulator Symposium, 1998.