

BPM・LLRF システムでの μ TCA ボード間高速データ通信

MICROTCA INTER-BOARD DATA COMMUNICATIONS APPLIED TO BPM AND LLRF SYSTEMS

林 和孝^{#, B)}, 赤井 和憲^{A)}, 石井 仁^{A)}, 帯名 崇^{A)}, 片桐 広明^{A)}, 小林 鉄也^{A)}, 飛山 真理^{A)}, 中西 功太^{A)}, 福間 均^{A)}, 古川 和朗^{A)}, 三浦 孝子^{A)}, 森 健児^{A)}, 岩城 孝志^{B)}, 漁師 雅次^{B)}

Kazutaka Hayashi^{#, B)}, Kazunori Akai^{A)}, Hitoshi Ishii^{A)}, Takashi Obina^{A)}, Hiroaki Katagiri^{A)}, Tetsuya Kobayashi^{A)}, Makoto Tobiyama^{A)}, Kota Nakanishi^{A)}, Hitoshi Fukuma^{A)}, Kazuro Furukawa^{A)}, Takako Miura^{A)}, Kenji Mori^{A)}, Takashi Iwaki^{B)}, Masatsugu Ryoushi^{B)}

^{A)} High Energy Accelerator Research Organization (KEK)

^{B)} Mitsubishi Electric TOKKI System Corp.

Abstract

Small communication facility-oriented microTCA was chosen as a standardization platform of the control apparatus for next-generation accelerators. In order to realize feedback control of LLRF, the FPGA control board was designed and improved. The FPGA control board is adopted as LLRF of cERL, STF, and SuperKEKB. After high power cavity tests with these boards were performed, beam acceleration operation for STF and cERL and manufacturing for eight stations of SuperKEKB have started. The FPGA control board is equipped with 4ch ADC, 4ch DAC, and a digital input/output. This board realized high-speed control and calculation. The EPICS IOC mounted in the board can perform control which is extended into several boards and that linked with outside systems using Channel Access communication protocol. Recently, a high-speed-data-transmission function between the FPGA control boards and an arithmetic processing board, which enables real time control between boards, has been developed. Examples of application to a BPM/LLRF system are described.

1. はじめに

新しい世代の加速器の制御機器に、小型通信機器向けの μ TCA を、標準化プラットフォームとして選択している。 μ TCA に準拠した AMC (Advanced Mezzanine Cards) で、LLRF のフィードバック制御を実現させるため FPGA 制御ボードを開発し、LLRF システムとして評価しながらボードを改良してきた^[1]。FPGA 制御ボードは、cERL、STF、SuperKEKB の各 LLRF に採用され、いずれも大電力空洞試験を終え、STF と cERL はビーム運転への適用^{[3], [2]}、及び、SuperKEKB ではビーム運転に向けた量産を開始^[4]した。本ボードは、LLRF の他に、BPM (ビーム位置モニタ) のデジタル信号処理^[5]、基準信号伝送装置の制御^[6]に適用が広がっている。

FPGA 制御ボードには 4ch ADC、4ch DAC とデジタル入出力を搭載し、1 台のボード内でリアルタイムに制御・計算の機能を実現し、ボードに搭載した EPICS IOC により、Channel Access 通信を用いてボード間やシステムと連携した制御を行う事が出来るためユーザーの利便性が高い。

制御ボード間に高速データ通信を追加し、リアルタイムなデータ連携処理を図ることで、機能拡張性が大きく向上する。本報告では、リダンダント構成の μ TCA 規格シェルフのバックボード配線路、及び、新たに開発した演算処理ボードにより実現させたリアルタイム連携と、BPM・LLRF システムへの適用例を述べる。

2. μ TCA の FPGA 制御ボード

FPGA 制御ボード (図 1) には、4つの特徴がある。



Figure 1: The FPGA control board.

2.1 多様な入出力

16bit ADC を 4ch、16bit DAC を 4ch、低ジッターのクロック分周器と合わせ、高精度アナログデジタル変換機能を、2 枚の子基板の上で実現している。子基板には、高精度 ADC 4ch 子基板、高精度 DAC 4ch 子基板の他に、高速 ADC (14bit) 2ch 子基板、8ch ADC (14bit) 子基板、デジタル入出力子基板が用意されている。客先の多様な装置の入出力には、FPGA 親基板にスタッキングコネクタ接続する 2 枚の子基板を選択し対応している^[1]。

2.2 大型の FPGA

Xilinx 社製 Virtex5 FPGA を実装し、フレキシブルで高速な処理回路を実現する。機能に応じた専用ロジックを書き込む (コンフィグレーションする) 事で、高速な制御・演算を実現している。

[#] kazu-hayashi@west.melos.co.jp

2.3 組み込み Linux/EPICS

FPGA 内蔵の CPU (PowerPC 440) を使い、Linux (Wind River Linux) を組み込んだ。分散制御システムのデータベースエンジン EPICS IOC (Input Output Controller) をこの Linux 上で起動させ Ethernet を用いた Channel Access 通信でボード間や上位システムと連携した制御を行っている。上位の加速器制御システムと同じレベルで、FPGA 制御ボードの制御とモニタができる、“Channel Access everywhere”^[7] を実現している。

2.4 μ TCA

μ TCA を採用することで、FPGA 制御ボードの外部との通信は、バックプレーンおよび MCH (Micro-TCA Carrier Hub) 経由の GbE (Giga-bit Ethernet) に集約される。シェルフの電源が起動した状態でボードを抜き差しできる活線挿抜 (Hot Swap) にも対応しているため、一般的な Switching-Hub に Ethernet のコネクタを挿抜するごとく容易にボードを拡張および交換できる。また、Ethernet を使う Channel Access との親和性がよい。機器の遠隔監視制御機能および活線挿抜等の保守整備性、カタログ化された機器 (シェルフ、電源、ファン、MCH 他) を、低コストにて利用できる。

3. LLRF システム実現と課題

LLRF システムが制御する装置の台数、制御の種類に応じて、 μ TCA の FPGA 制御ボードの構成と台数が決まる。LLRF システム内の機器では EPICS IOC が起動し、EPICS を使って制御を行うため、LLRF システム内部 (FPGA 制御ボード間を含む) で連携した制御は、GbE 上の Channel Access 通信を使って容易に構成できる。これは、上位の加速器システムと同じ制御方法であり、LLRF 内部制御の透明性が高く、ユーザーがすぐにつかえる LLRF システムとなる。例えば、SuperKEKB の主リング加速 RF ステーション向けの LLRF では、5 台の FPGA 制御ボードが連携して制御している^{[1], [4]}。各ボードは、加速空洞の振幅・位相制御、空洞チューナー制御、高速インターロック制御、RF 電力モニタとアーク光モニタを担当している。

これまで、様々なシステムを実現してきたが、一方で、以下の様な課題があった。

- FPGA 制御ボード間の連携に使っている Channel Access は、EPICS IOC の負荷状況や Ethernet の輻輳状況により処理遅延量に変化する。
- 外部入出力部のパネル面積の制限から、入出力信号数の制約がある。例えば、ADC 入力 ch 数の制約により、多空洞のモニタ信号のベクトル和が必要な場合、ボードを増やしてもリアルタイムな連携はできない。
- 複数台の FPGA 制御ボードの出力を集約してリアルタイムに処理はできない。

4. FPGA 制御ボード間高速データ通信

制御ボード間的高速データ通信を追加することで複数のボードによるリアルタイムな連携が可能となり、前節で挙げた課題を解決し、高い拡張性を実現した。

4.1 高速データ通信の方法

制御ボード間に新たなデータ通信を実現するために通常は配線の追加が必要となるが、今回はバックプレーン上の既存の配線を利用し、物理的な配線を追加する事なく高速なシリアルデータ通信を実現することを考えた。 μ TCA には障害発生時でも継続的な運用が出来るように通信回線や電源、冷却ファンを冗長に設ける事ができる。そのリダンダント仕様のバックプレーンには、図 2 のようにスロット MCH1、MCH2 を中心に各 AMC スロットにそれぞれ個別のスター配線がされている。MCH1 スロットには MCH を実装して、AMC スロットに実装した FPGA 制御ボード上で動作する EPICS IOC が AMC port0 を使って GbE で通信している。冗長系である AMC port1 は、ボード間的高速シリアル通信に使うこととして、MCH2 のスロットには、データ集約用に新たに開発した演算処理ボードを装着した。

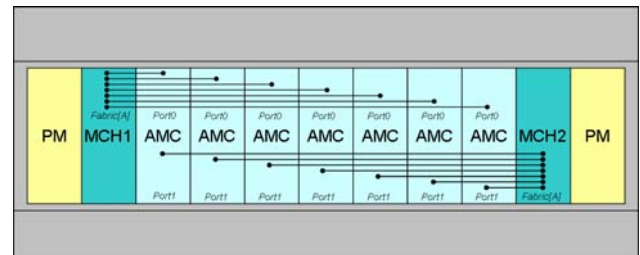


Figure 2: MicroTCA backplane topology (redundant type).

4.2 演算処理ボード

μ TCA シェルフのスロットに装着された各 FPGA 制御ボードと高速データ通信を実現させるため、演算処理ボードを新たに開発した。ブロック図を、図 3 に示す。

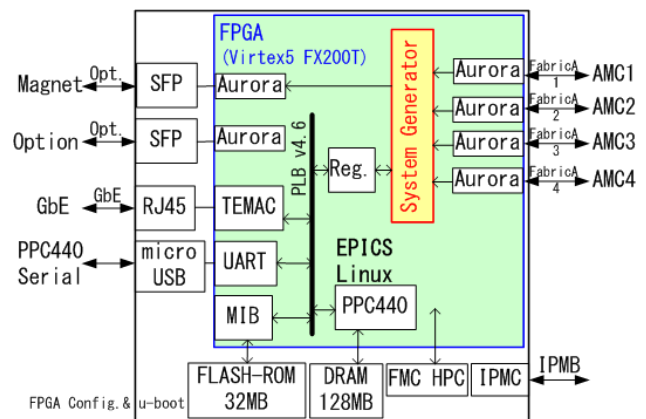


Figure 3: Block diagram of arithmetic processing board

特徴を以下に掲げる。

- 大型 FPGA (Virtex5 FX200T)
- 高速データ通信プロトコル (Aurora IP を用いた高速シリアル通信) の利用
- 外部光通信用 SFP モジュール (2 系統)
- FMC コネクタ (FPGA Mezzanine Card 規格)
- 組込み Linux/EPICS
- GbE (RJ-45 コネクタ)
- MATLAB/Simlink と Xilinx System Generator を組み合わせて使い演算処理ロジックの作成。

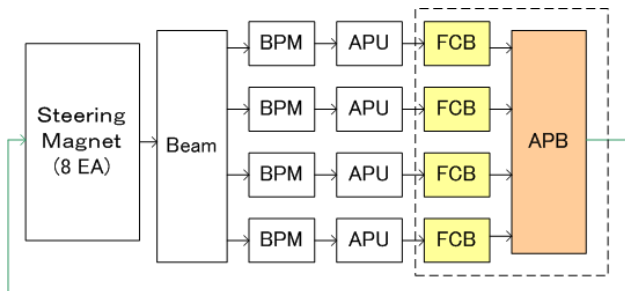


Figure 4: The arithmetic processing board.

5. 軌道フィードバック用 BPM 装置

5.1 装置概略と課題

SuperKEKB の低エミッタンスビームは、衝突点での鉛直方向ビームサイズが 50nm と非常に小さい。このため、衝突点近傍の真空チェンバに付属する高分解能の BPM で高速にビーム軌道を測定し、ビームが安定に衝突するようにビーム軌道をステアリング磁石で補正する軌道フィードバックシステムが必須である^[5]。検討中のフィードバックシステム (図 5) においては電子および陽電子ビームの位置をそれぞれ 2 台ずつ計 4 台の BPM で測定し、測定データに基づきステアリング磁石によるビームの蹴り角をフィードバックアルゴリズムに従って演算し、蹴り角の値をステアリング磁石(8 台)電源に送信するという様に、リアルタイムな連携処理の実現が課題となる。



APU: Analog Processing Unit, FCB: FPGA Control Board, APB: Arithmetic Processing Board

Figure 5: BPM for orbit feedback system.

5.2 高速データ通信と演算処理ボード

FPGA 制御ボード 4 台で求められた BPM 位置データは、Aurora を使った高速シリアルデータ伝送で、FPGA 制御ボードそれぞれから送信し、演算処理ボードで収集する。FPGA のロジックは、Xilinx System Generator を用いることで、Simlink でシミュレーションしたモデルを Xilinx 用のモデルに置き換えることで、容易に FPGA へ組み込むことができる。高度なビーム位置補正演算処理の開発・改良を、ユーザー自身が短期間にできるようにした。

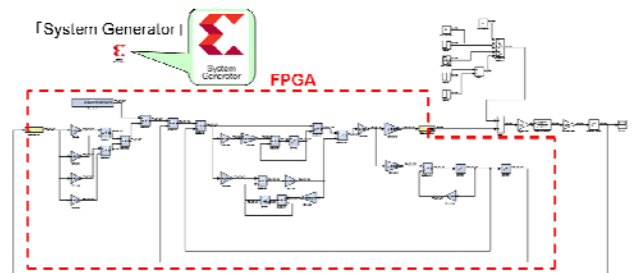


Figure 6: HDL codes generated using Xilinx System Generator from Simulink.

5.3 試作と評価

図 7 は、 μ TCA シェルフに装着した、演算処理ボード(右)と、FPGA 制御ボード、その左奥が、MCH と電源である。ボード間での高速データ転送を確認、ビーム位置補正演算処理を演算処理ボードへ実装し、計測と制御のハードウェアとロジックの準備ができた。今後、ステアリング磁石電源・ビーム・BPM 間(模擬)を含めた制御対象ループを形成し、軌道フィードバックシステムの開発を進めていく。



Figure 7: FPGA control board and arithmetic processing board for BPM system.

6. 陽電子ダンピングリング用 LLRF

6.1 装置概要と課題

SuperKEKB の陽電子ダンピングリングでは、最大 3 台の加速空洞を、1 台のクライストロンと LLRF で制御する。多空洞のモニタ信号のベクトル和や補正用各種信号で、1 枚の FPGA 制御ボードでは不足する信号入力数となり、ボード間でのリアルタイムな連携が求められる。さらに、入射器の途中に設置されている陽電子ダンピングリングは、入射器からのビームの入射、入射器へのビーム出射のタ

イミング制御が重要である。ビームの入射パルス毎に RF 位相を変える事も検討されている。入射器の制御システムから渡されるイベントシステム情報やタイミング信号を取り込み、各 FPGA 制御ボードがリアルタイムに連携する事を求められる。

6.2 高速データ通信と EVR ボード

入射器では、イベントタイミングシステムが、ビームモードとタイミング信号を管理している。イベントジェネレータ (EVG) から、光ファイバーでイベントレシーバ (EVR) に信号が送られる。SFP コネクタを持つ FPGA ボードに EVR を組み込んだ事例^[8]を参考に、今回、演算処理ボードに EVR 同等の機能を実現させることとした。加えて、FMC(子基板)を使って水晶発振器とシンセサイザを実装してクロック (EVG と同じ周波数) を生成する機能や、トリガー信号・タイミング信号の入力ポートを設け、EVR ボードに仕立てた(図 8)。

また、基準 RF 信号が入力される FPGA 制御ボードでデジタル IQ 検波した結果を Aurora によりバックプレーン経由で演算処理ボードへ伝送し、イベント情報と多重化して他の FPGA 制御ボードへ伝送する。高速データ通信を追加することで、複数の FPGA 制御ボードがリアルタイムに連携することで、より高度な処理を実現することができた。

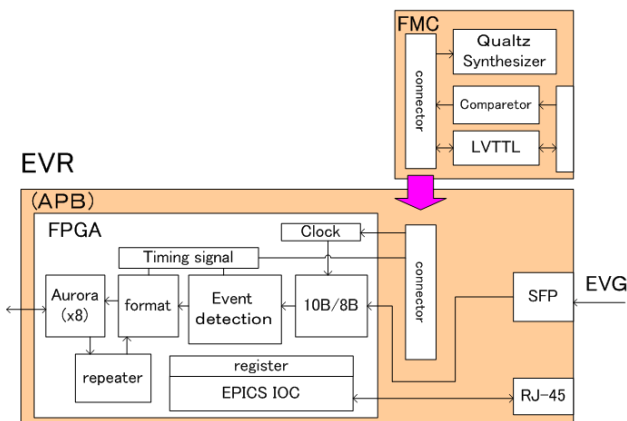


Figure 8: Block diagram of EVR board.

6.3 試作と評価

図 9 は、 μ TCA シェルフに装着した、ボード類の写真である。左から、PDM (Power Distribution Module)、MCH、FPGA 制御ボード(6 台)、空きスロットを挟んで、EVR ボード、PDM(右端)である。ボード間での高速データ転送(EVR ボード経由)の確認を行った。また、EVG からの光ファイバー信号を EVR ボードの SFP へ入力し、EVG から送られている信号と実際に同期が取れる事と、信号の中からイベントコードを読み出し、動作を確認することができた。

今後、ダンピングリング用の加速器構成とイベントタイミングシステムの仕様が決まってゆく予定である。試作した機器で、LLRF 機器構成や EVG 信号の仕様に合わせて、FPFA 内のロジックを変更して、各 FPGA 制御ボードでリアルタイムに連携させ

る評価を進めてゆく。



Figure 9: FPGA control boards and EVR board for damping ring LLRF.

7. まとめ

μ TCA の FPGA 制御ボードは、新しい世代の加速器 (cERL、STF、SuperKEKB 等) の LLRF システムに採用され、大電力空洞試験のみならず、実際にビーム加速運転に使われ始めた。今回さらに、FPGA 制御ボード間に高速データ通信を追加し、新たに開発した演算処理ボードにより、機能拡張性を大きく向上させ、2つのシステムに適用し、開発評価を行っている。

SuperKEKB の軌道フィードバック用 BPM 装置では、FPGA 制御ボード 4 台で得られた位置情報を高速データ伝送で、演算処理ボードに収集して、高度なビーム位置補正演算を行う仕組みに適用した。

SuperKEKB の陽電子ダンピングリング LLRF では、多信号入力に対処し、入射器イベント毎の加速位相制御を想定し、演算処理ボードをイベントレシーバに仕立て、各 FPGA 制御ボードに、高速データ通信で制御を可能とした。

参考文献

- [1] K. Hayashi, et al., "Refinements of the new LLRF Control System for SuperKEKB", Proceedings of the 9th Annual Meeting of Particle Accelerator Society of Japan (2012)
- [2] T. Miura, et al., "RF SYSTEM FOR cERL INJECTOR", Proceedings of the 10th Annual Meeting of Particle Accelerator Society of Japan (2013)
- [3] H. Shimizu, et al., "X-ray generation experiment in STF accelerator on quantum beam technology program", Proceedings of the 10th Annual Meeting of Particle Accelerator Society of Japan (2013)
- [4] K. Nakanishi, et al., "Development of LLRF system for SuperKEKB", Proceedings of the 10th Annual Meeting of Particle Accelerator Society of Japan (2013)
- [5] H. Ishii, et al., "DEVELOPMENT OF A BEAM POSITION DETECTOR FOR AN ORBIT FEEDBACK SYSTEM IN SuperKEKB", Proceedings of the 8th Annual Meeting of Particle Accelerator Society of Japan (2011)
- [6] T. Kobayashi, et al., "RF Reference Distribution System for SuperKEKB", Proceedings of the 10th Annual Meeting of Particle Accelerator Society of Japan (2013)
- [7] <http://www-linac.kek.jp/cont/epics/cae/>
- [8] H. Katagiri, et al., "RF MONITOR UNIT FOR SIMULTANEOUS INJECTION", Proceedings of the 9th Annual Meeting of Particle Accelerator Society of Japan (2012)