

J-PARC リニアック Veto 回路を用いたクライストロン高圧電源停止頻度の改善

REDUCTION IN THE FAULT RATE OF HIGH VOLTAGE POWER SUPPLY FOR KLYSTRONS BY USING VETO CIRCUIT IN THE J-PARC LINAC

堀利彦^{#,A)}, 篠崎信一^{A)}, 佐藤文明^{A)}, 福井祐治^{B)}, 二ツ川健太^{B)}
Toshihiko Hori^{#,A)}, Shinichi Shinozaki^{A)}, Fumiaki Satou^{A)}, Yuji Fukui^{A)}, Kenta Futatsukawa^{A)}
^{A)} J-PARC Center, JAEA^{B)}, J-PARC Center, KEK

Abstract

We are making efforts to decrease the fault rate of the high voltage power supplies for 324MHz klystron. A new Veto module has been developed to inhibit the sampling trigger pulse of analog signal conditioner synchronized the klystron discharge between modulating anode and body. As the result of installing the Veto module to the SDTL#16 klystron station, the #5 high voltage power supply had never stopped for two months operation although the discharge occurred forty-two times during the operation. It confirmed that the installation of the Veto module is extremely useful to operate the high voltage supplies stably.

1. はじめに

J-PARCリニアックRF源のクライストロン(TETD製)は変調アノード(M-アノード)付の熱陰極型3極管⁽¹⁾である。カソード電圧はDC一定でクライストロンビーム電流はM-アノード電圧で制御される。運転時のパルス条件はパルス幅が0.7ms、繰返し数が25ppsである。クライストロン総数:45本の内訳は324MHz、972MHzの球が各々20、25本である。クライストロンのカソードに最大-110kVのDC電圧を供給する直流高圧電源(HVPS)の総数は12台である⁽²⁾。その中の324MHzクライストロン用HVPSの高圧停止が頻発し、加速器の利用運転を低減させていた。先行調査の結果、その1次原因は324MHzクライストロンのM-アノードとボディ間の放電であることが判明した。ただし、放電に伴う管球内真空度悪化などの正常なインターロックシーケンスによるものではなく、放電ノイズによるモニタ用NIMモジュールの誤動作が直接的な原因であった⁽³⁾。今回、停止頻度の高いクライストロンステーションにVetoモジュールを追加する新たな対策を講じたところ良好な結果を得た。

本研究会では、電源停止頻度改善に向けた我々の活動状況について報告する。

2. 当期のクライストロン放電状況

2014年10月~2015年6月9か月間のクライストロンステーション毎(324MHz)の一日平均放電回数をFigure1に示す。放電回数を1回未満、1回以上2回未満、・・・5回以上と5段階に区分し、これを濃淡の差で表した。DTL#3、SDTL#1,#2,#5,#16の5つステーションの放電回数が比較的多く、逆に極めて少ない9セクションも含め、放電回数はステーション毎に大きく異なっていた。又、上記5ステーションの放電回数は不規則な周期で多/少を繰り返し

ていた。電源停止頻度が高いステーションはDTL#3とSDTL#16であった。DTL#3の場合、3月中旬に球の交換も議論されたが、電圧設定値を1kV下げたことで以降の放電回数は低減された。SDTL#16は運転当初から使用している球の運転時間が43,000時間に対して12,000時間と短いにも関わらず、電源停止数/放電回数で表す電源停止率が他のステーションより非常に高かった。当期の対策はSDTL#16ステーションで最優先に行う必要があった。

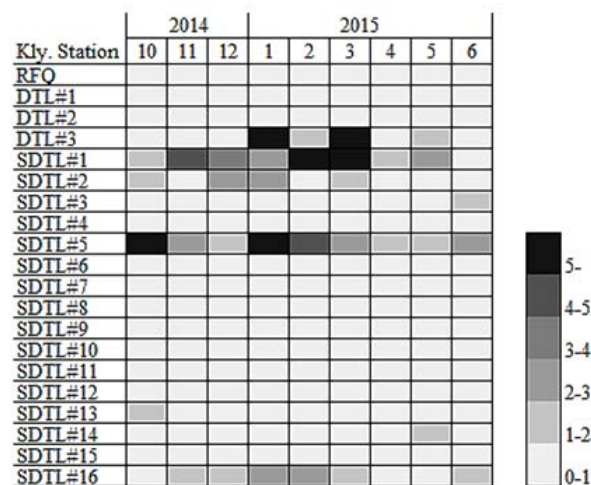


Figure 1: Average number of discharge per day at 324MHz klystron station from October, 2014 to June, 2015.

3. 電源停止メカニズムの解析

3.1 クライストロン高圧系のアナログ信号フロー

Figure 2に主なクライストロン高圧系のアナログ信号フロー図を示す。モニタ箇所はカソード電圧(Vk)、電流(Ik)並びにM-アノード電圧(Va)、電流(Ia)の4点である。これらはクライストロン直近に設置されたM-アノード変調器内の電圧プローブ(EP-120K:パルス電子製):2台と電流トランス(スタンガネス製 3.5-0.1:1k用)及びIa電流検出回路(Figure

hori.toshihiko@jaea.go.jp

2 のM-anode Current : E/O, 2V/100mA) で測定される⁽²⁾。これらの信号はパルスからDCに波形成形を行うアナログ信号コンディショナ (Figure 2 の□内) を経由して、PLC(Programmable Logic Controller)のADCモジュール(F3AD08-ON : Yokogawa製)に入力される。PLCのCPU (F3SP28-ON) は測定値とクライストロン異常時のインターロック(ILK)設定値とを比較し、設定範囲外の時、高圧電源をHV-OFFする。

シグナルコンディショナは7台のNIMモジュールから構成されている。内訳はトリガ分配器 (Figure 2 のT.F.M1,2) が2台、サンプルホールド(S/H)モジュール (Figure 2 のSH1~SH3) が3台、パルス信号を分岐するファンアウトモジュール (Figure 2 のH.I.F.M, P.F.M) が2台である。トリガ分配器はJ-PARC中央制御室の25Hz基準トリガ⁽⁴⁾を受信するリニアックタイミング信号分配器を経由して送信される25Hzタイミングトリガ (Figure 2 の25Hz ON/OFF Trigger) をRF系制御ラック内で分配するためのモジュールである。S/Hモジュールのアクイジションタイミングはサンプリングトリガから380 μ s (M-アノードパルス幅の中央値) 後である。

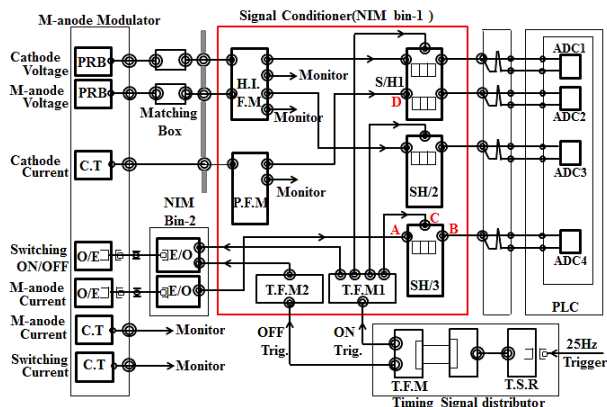


Figure 2: Schematic diagram of klystron monitor signal flow from voltage and current sensors to ADC modules.

3.2 高圧停止メカニズムの解析と電源停止状況

クライストロンの放電が1次原因の高圧停止 ILK 項目は3項目あるが、ここでは「M-アノード過電流」を例として放電から高圧停止(HV-OFF)に至るメカニズムを以下に示す。

- 1)クライストロン電子銃部の M-アノード電位とボディ間で放電が発生する。
- 2)放電タイミングと同期してトリガ分配器が誤動作し、S/H 用サンプリングトリガが出力される。
- 3)S/H3 モジュールは上記トリガから 380 μ s 後の M-アノード電流値をアクイジションし DC 電圧に変換後、ホールドする。
- 4)PLC の CPU は新たな測定値と ILK 上限設定値 : 100mA を比較し、その範囲外の時 “異常発生” と判断し電源の高圧を停止する。

放電が発生し電源停止に至る代表例として、SDTL#16 で観測された各部波形を Figure 3 に示す。図の4波形は各々 I_k (青 : Figure 2 の D 点)、S/H3 入力 (水色 : Figure 2 の A 点)、S/H3 出力 (紫 :

Figure 2 の B 点)、SH3 サンプリングトリガ (緑 : Figure 2 の C 点) である。図上段の横軸は 10ms/div. で下段は上段のトリガがかかった時刻 (放電発生時刻) を 0.2ms/div. で拡大した時の波形である。図よりサンプリングトリガから 380 μ s 後の SH3 (M-アノード電流モニタ用サンプルホールド) 出力は 0 から 3V へと変化している。この値は M-アノード電流検出回路の換算係数から 150mA となり、M-アノード過電流 ILK 値の 1.5 倍の値である。PLC の CPU は 25Hz タイミングトリガとは非同期のスキュータイム : 10ms でステータス値をチェックしており、25pps インターバルでの測定値変化であっても “異常発生” と判断し高圧を停止する。すなわち、25Hz タイミングパルスで駆動された M-アノード幅 : 0.7ms 時の過電流ではなく、放電発生時の過渡的な過電流値で高圧は停止していた。

Figure 4 に 2015 年 2 月の 1 ヶ月間に SDTL#16 で測定された日別の放電発生回数に対する#5 高圧電源 (SDTL#13~#16 のクライストロンに電圧を供給する電源) の停止回数を示す。1 ヶ月間の総数 : 69 回中、HV-OFF は 43 回生じており、電源停止率は 63% と非常に高い値であった。

我々は先行調査時にトリガ分配器を誤動作させないノイズ強化・対策を施したモジュールを新規に製作し (3454 型 : ツジ電子)、これをSDTL#5 ステーションに取り付けた。結果、#3 高圧電源 (SDTL#5~#8 のクライストロンに電圧を供給する電源) の停止頻度は大きく改善された⁽³⁾。

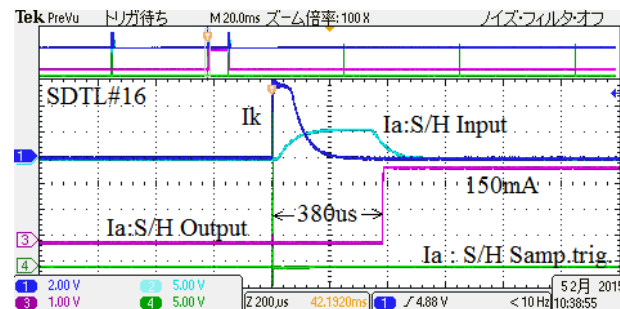


Figure3: The four monitor waveforms when the discharge has occurred without Veto module.

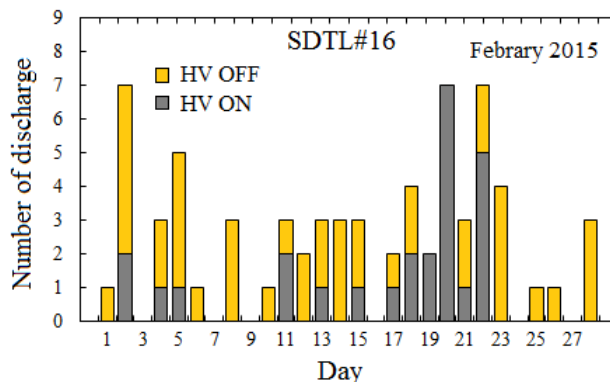


Figure 4: Average number of discharge per day at 324MHz klystron station in February, 2015.

SDTL#16にも同モジュールを実装したが、ステーション毎に放電時ノイズレベルが異なるためか高圧停止頻度を低減出来ず、新たな対策が必要であった。

4. Veto モジュールの開発

我々は次の対策として Veto 回路の導入を検討した。Veto 回路はノイズ等による不要な入力信号は出力しない (Veto) が、必要な入力信号は出力するロジックを有する回路である。今回開発されたリニアック RF 仕様の Veto モジュール (T3590 型: ツジ電子) の概略回路図を Figure 5 に示す。なお、開発品は既存モジュールとのインターフェイスを考慮し、入力は 2 回路、出力は 4 回路であるが、図では入力 1 回路分のみを示す。図の PLD (Programmable Logic Device: EPM7064 ALTERA) 最終段の "AND" 素子の O 点が入力パルス、P 点がゲートパルスである。両信号が 'High' の時のみ入力パルスは出力され、P 点が "Low" の時の入力信号は全て Veto される。ゲートパルス幅は Veto stop と start 両信号のタイムインターバルで決定される。この動作を確認するためパルス発生器 (P/G) を用いた模擬パルス試験時の代表的な各部波形が Figure 6 である。動作条件は Veto start、Stop、入力信号共に 25Hz の繰り返し、Veto start と Stop のタイムインターバルが 39.3ms (ゲートパルス幅は 0.7ms) である。Veto Stop 信号から約 1 μ s 遅れた Input-1 パルス (25Hz タイミングパルスを模擬) 及び Veto スタートから 1ms 遅れた Input-2 パルス (誤動作パルスを模擬) の出力が各々出力、Veto されていることを確認した。

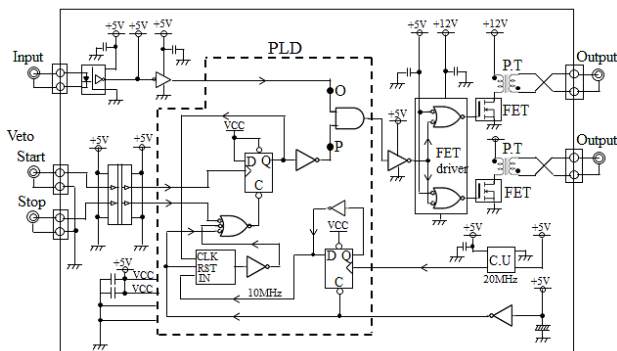


Figure5: Simplified circuit diagram of a new Veto module.

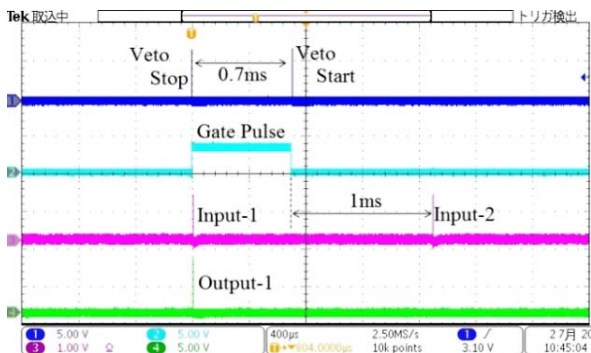


Figure 6: Typical waveform at each measuring point of a Veto circuit.

考慮した点としては、Veto Stop 信号がタイミング系の不具合等で入力されなかった場合の対応である。PLD 内部で 39.301~39.302ms 後に Veto stop パルスを強制的に出力する機能を持たせた。これは Veto Stop 信号が入力されないときゲートパルスは "High" に変化しないため、25Hz タイミングパルスが Veto されることを回避するためである

5. Veto モジュール設置後の電源停止状況

新 Veto モジュールは 2015 年 5 月初旬に SDTL#16 ステーションに設置された。入力は Figure2 C 点のサンプリングトリガで、Veto スタート信号は 25Hz タイミングトリガ分配器の OFF トリガ、Veto ストップ信号は同分配器の ON トリガである。Figure-7 に Veto モジュール設置後に得た放電発生時の代表的な各部時波形を示す。Figure 3 と比較して

- 1) SH3 のサンプリングトリガ (Figure 2 の C 点で Veto 出力と同様) は T.F.M1 の誤動作パルスを正確に Veto していた。
- 2)M-アノード電流用 S/H 入力 (Figure-2 の A 点) 波形のピーク値、パルス幅はほぼ同様の値であるが、1)によって S/H 出力は変化しない。ことが読み取れる。

Figure 8 には SDTL#16 の 6 月 1 か月間の日別の放電回数を示すが、総数: 42 回の全てで #5 高圧電源の HV-OFF は観測されなかった。波形解析から、Veto 回路を設置していなければ 25 回 HV-OFF となっていたデータが得られ、電源停止率は 60%と 2 月の停止率とほぼ同様の値であった。

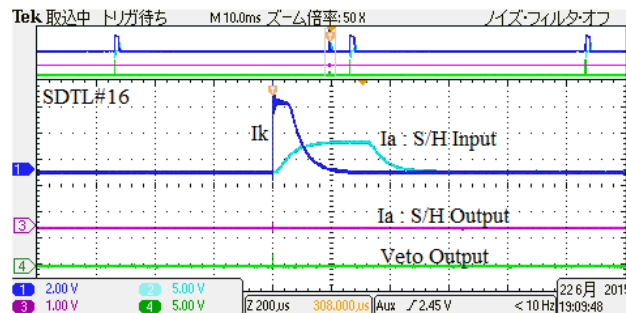


Figure7: The four monitor waveforms when the discharge has occurred with Veto module.

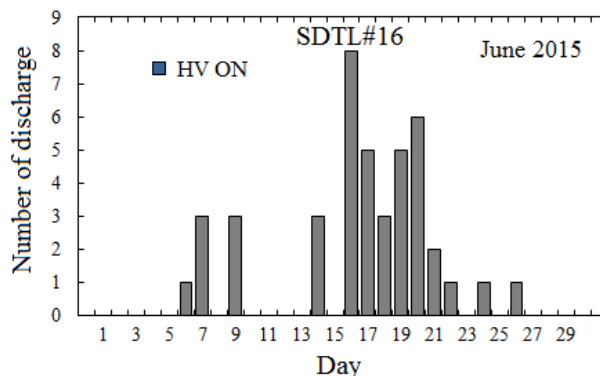


Figure 8: Average number of discharge per day at 324MHz klystron station in June, 2015.

6. まとめ

当期の SDDL#16 ステーションの高圧停止率は他のクライストロンステーションより高く、高圧停止対策はこのステーションで最優先に行う必要があった。今回、M-アノードとボディ間の放電から高圧停止に至るメカニズムの解析を行い、トリガ分配器の放電と同期した誤動作パルスをインヒビットする Veto モジュールを開発した。これを SDDL#16 ステーションに実装し約 2 か月間、#5 高圧電源の高圧停止回数をモニタしたところ、高圧停止は一度も生じない良好な結果を得た。先行調査時に行ったノイズ強化・対策済みトリガ分配モジュールと Veto モジュールとをステーション毎に異なるノイズレベルに応じて実装することが高圧停止頻度を効率的に低減できると考えられる。

謝辞

Veto モジュールの製作に当たり、ツジ電子（株）の植松氏、張替氏に多大なご努力を頂きました。

参考文献

- [1] A.Yano et., al., “ DEVELOPMENT OF THE KLYSTRONS FOR THE HIGH INTENSITY PROTON ACCELERATOR FACILITY” , Proceedings of the second Asian particle accelerator Conference, Beijing, China, 2001, p783-785.
- [2] T.Hori et., al., “ J-PARCリニアック 324MHzクライストロンのアノード短絡状況とその対策 “, Proceedings of the 11th Annual Meeting of Particle Accelerator Society of Japan, Aomori, Japan, p1099 - 1102.
- [3] T.Hori et., al., “J-PARC リニアッククライストロン高圧電源停止頻度の改善 “, Proceedings of the 10th Annual Meeting of Particle Accelerator Society of Japan, Nagoya, Japan, p1001 - 1003.
- [4] F.Tamura et., al., “ J-PARC TIMING SYSTEM “, Proceedings of the 1st Annual Meeting of Particle Accelerator Society of Japan, Funabashi, Japan, p677 - 679.