

大強度陽子シンクロトロンにおけるリアルタイム COD 補正システムの開発

DEVELOPMENT OF REAL-TIME COD CORRECTION SYSTEM FOR THE HIGH INTENSITY PROTON SYNCHROTRONS

浅見高史^{#, A)}, 栗本佳典^{B)}, 小関忠^{A)B)}

Takashi Asami^{#, A)}, Yoshinori Kurimoto^{B)}, Tadashi Koseki^{A)B)}

^{A)} The University of Tokyo

^{B)} KEK

Abstract

J-PARC main ring (MR) is a high-intensity proton synchrotron that accelerates protons from 3 GeV to 30 GeV. One of the most serious obstacles to the increase in beam intensity is radio-activation of accelerator components due to beam loss. In order to investigate the causes of beam loss, it is important to make an accurate model of beam optics and is indispensable to develop a method to minimize and correct the errors in the parameters of the accelerator components. In MR, the closed orbit distortion (COD) caused by the current ripple in the frequency region of 200 Hz or less of the bending magnets is being observed in beam operation. Since the COD caused by the current ripple does not reproduced for each pulse, its correction must be done in real-time. We have developed a method to calculate and add the correction pattern of the COD derived from the current ripple in real-time to the usual fixed current pattern of the MR corrector magnet. In this research, to demonstrate that the COD caused by the current ripple can be corrected in real-time by this method, we have developed a prototype system which corresponds to the system for one corrector magnet and performed the proof-of-principle test of the system. In this paper, we will report the details of the system and the test results.

1. はじめに

茨城県東海村に所在する大強度陽子加速器施設 (J-PARC) の MR は陽子を 3 GeV から 30 GeV へ加速する大強度陽子シンクロトロンであり、長基線ニュートリノ振動実験 (T2K 実験) やハドロン実験施設における素粒子・原子核実験に陽子ビームを供給する。これらの実験において高い統計精度を得るために T2K 実験では大強度ニュートリノビームが、ハドロン実験施設では大強度の K 中間子ビームやミュオンビーム等が必要とされる。そのためには一次粒子である陽子ビームを大強度化することが極めて重要である。陽子加速器の大強度化の最大の障壁となるのは周回する陽子の一部が真空ダクトに衝突しビーム損失が起きることによる機器の放射化である。ビーム損失を小さくするためにはビーム光学の正確なモデルを立て、ビームロスの原因を探ることが重要である。一般にシンクロトロンは電磁石や電源、高周波加速器装置など多くの装置から構成され、これらは荷電粒子が安定して周回するように制御される。しかし各装置におけるパラメータの誤差は意図しないビーム光学の乱れを引き起こし正確なモデル化を困難にする。従って加速器構成機器のパラメータの誤差を最小化・補正する手法の開発が重要である。

2. 偏向電磁石電源電流リップルによる COD

2.1 偏向磁場の誤差による COD

シンクロトロン中の荷電粒子は設計軌道を中心にビーム軸に対して横方向にベータatron運動しながら進む。偏向磁場に誤差があるときの横方向運動方程式は

$$x'' + K(s)x = \frac{\Delta B_z(s)}{B\rho} \quad (1)$$

と表される。ただし $\Delta B_z(s)$ は偏向磁場の誤差、 $B\rho$ は運動量リジディティ、 C は加速器の周長である。ここで、Eq. (1) の右辺をデルタ関数に置き換えた

$$x'' + K(s)x = \sum_{n=-\infty}^{\infty} \delta(s + C) \quad (3)$$

の周期解 (以降 Hill 方程式の Green 関数と呼ぶ)

$$G(s, s_0) \equiv \frac{\sqrt{\beta(s)\beta(s_0)}}{2 \sin \pi\nu} \cos(\pi\nu - |\varphi(s) - \varphi(s_0)|) \quad (4)$$

を重ね合わせることで、周上各点でベータatron振動の中心軌道が以下のように歪むことがわかる。

$$x_{COD}(s) = \oint G(s, t) \frac{\Delta B_z(t)}{B\rho} dt \quad (5)$$

これを COD (Closed Orbit Distortion の頭文字) と呼ぶ。

2.2 一般的な COD 補正手法

加速器中に配置された BPM で観測されるベータatron振動中心軌道のずれは Eq. (5) から以下の Eq. (6) のように表される。

$$\vec{x}_{BPM} = G\vec{\theta} \quad (6)$$

tasami@post.j-parc.jp

$$G_{ij} \equiv \frac{\sqrt{\beta_i \beta_j}}{2 \sin \pi \nu} \cos(\pi \nu - |\varphi_i - \varphi_j|) \quad (7)$$

ただし $\vec{\theta}$ は各位置での偏向磁場の誤差によるキック角であり、 G は Eq. (7) に示す通り Hill 方程式の Green 関数を要素とする COD の応答行列である。また、Eq. (6), Eq. (7) において BPM と偏向電磁石の長さは無視した。ここで、COD 補正は主偏向電磁石に COD 補正専用の小型偏向電磁石 (以降補正電磁石と呼ぶ) を新たに導入することでなされる。すなわち、

$$x_i = \sum_j G_{ij} \theta_j + \sum_j G_{ij}^{steer} \theta_j^{steer} \quad (8)$$

ただし Eq. (8) において i は COD 観測位置、 j は偏向磁場によるキック、 θ_j^{steer} は補正電磁石によるキック、 G^{steer} は補正電磁石による COD 応答行列である。COD 補正は $\|x\|$ を最小化するような θ^{steer} を求めることでなされる。

2.3 偏向電磁石電源電流リップルによる COD

MR では偏向電磁石の電流値の 200Hz 以下の領域の不規則な変動 (電流リップル) による偏向磁場の誤差がベータatron振動の中心軌道を最大2mm程度ずらすことが先行研究[1]によって示されている (Fig. 1)。本研究の目的はこのような電流リップル由来の COD の補正を行う手法を提案することである。ここで、電流リップルの支配的な周波数領域は 200 Hz 以下 (\sim ms) であり、それよりも十分小さい時間スケール (リアルタイム) での COD 補正が必要であることに注意する。

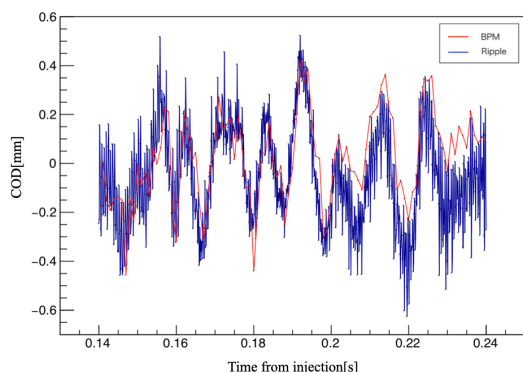


Figure 1: Closed Orbit Distortion (COD) caused by current ripple observed at a certain location of MR. (Note that this analysis was first done by the author of [1].)

3. MR におけるリアルタイム COD 補正システムの考案

3.1 MR の構成と現行の COD 補正システム

J-PARC MR における偏向電磁石及びその電源の配置を Fig. 2 に示す。J-PARC MR は 3 回対称に作られており、3 つのアーカ部からなる。全周に偏向電磁石は 96 台あり、偏向電磁石電源は 6 台である。偏向電磁石 1 台につき 16 台の偏向電磁石を駆動してい

る。ここで偏向電磁石 1 台が駆動する偏向電磁石の設置された区間が、Fig. 2 より明らかであるようにアーカ部の半分であることから、この区間を以降「半アーカ部」と呼ぶことにする。また、MR では Eq. (8) に従い補正電磁石を用いた COD 補正を行なっている (Fig. 3)。補正電磁石にはパルスごとに再現するアライメントエラーは磁石の個体差による COD を補正するためのパターンが入力されている。

3.2 MR におけるリアルタイム補正システムの提案

MR における現行の COD 補正手法では、再現しない電流リップル由来 COD の補正は不可能である。そこで Fig. 4 中の太点線枠部のリアルタイム COD 補正システムを追加する手法を提案する。その主点は主に 2 つである。1 つは偏向電磁石で観測された電流偏差 dI から FPGA 基板を用いて補正値を計算し転送することである。もう 1 つは、FPGA 基板から送信される補正値を受信し通常パターンに加算するための CPLD 基板 (以降加算用 CPLD 基板と呼ぶ) 1 台を追加することである。この手法で COD 補正が可能であること、及び MR では本手法によるリアルタイム COD 補正が半アーカ部ごとに完結することを示す。まず、MR の 6 箇所 (半アーカ部) がいずれも Achromat (=運動量分散が外部へ漏れない) となるように設計されている。実際、 k 番目 ($k=1\sim 6$) の電源に

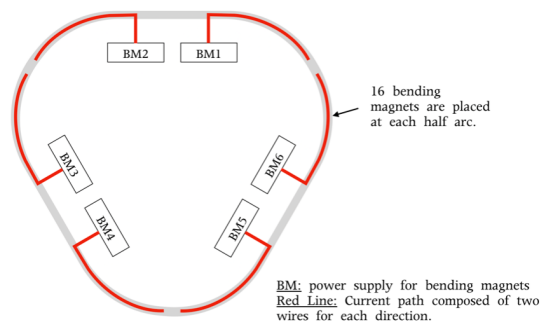


Figure 2: The actual arrangement of bending magnets and their power supplies at the J-PARC MR.

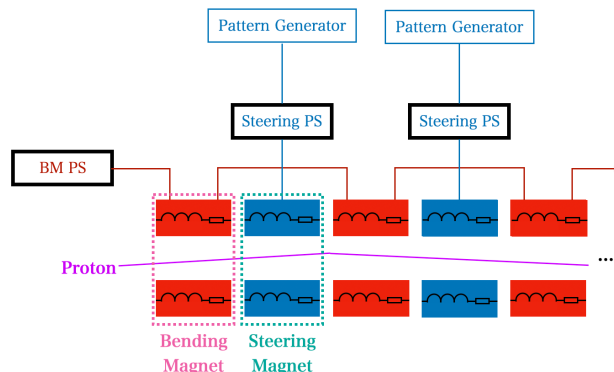


Figure 3: Current COD correction system of J-PARC MR.

対応する半アーク部内の BPM における COD を、Eq. (5)と Achromat 条件を使い計算すると、

$$x_{COD}(s) = \oint G(s, u) \frac{\Delta B_z(u)}{B\rho} du = \sum_{i=1}^6 \frac{\Delta I_i}{I_i} \int_{i \text{ th half arc}} G(s, u) \frac{du}{\rho} = \frac{\Delta I_k}{I_k} D(s) \quad (9)$$

となる。ただし、

$$D(s) = \oint G(s, u) \frac{du}{\rho} \quad (10)$$

は分散関数であり、

$$\frac{\Delta B_z(t)}{B} = \frac{\Delta I}{I} \quad (11)$$

であることを使った。また、Achromat 条件は

$$\int_{i \text{ th half arc}} G(s, u) \frac{du}{\rho} = \begin{cases} D(s), & s \in i \text{ th half arc} \\ 0, & \text{else} \end{cases} \quad (12)$$

と同等である。Eq. (9)は BPM 位置における COD を補正するために必要な情報が、該当する半アーク部の偏向電磁石で計測された電流値・電流偏差のみであることを表す。また COD 補正は、位置 i に設置された BPM が k 番目 ($k=1\sim 6$) の半アーク部に含まれるとき補正電磁石によるキックを Eq. (9)に加え

$$x_i = \frac{\Delta I_k}{I_k} \left[D_i + \sum_j G_{ij}^{steer} \theta_j^{steer} \right] = \frac{\Delta I_k}{I_k} D_i + \sum_j G_{ij}^{steer} \left(\frac{\Delta I_k}{I_k} \theta_j^{steer} \right) \quad (13)$$

とする。ここで Eq. (13)の中辺のカギ括弧内の最小化を予め行い、 θ_j^{steer} を求めることができる。よって Fig.4 中 FPGA 基板で $\frac{\Delta I_k}{I_k} \theta_j^{steer}$ をリアルタイムに計算し、電流リップルの時間スケールより十分短い時間内に加算回路へ送信すれば COD 補正が成立する。

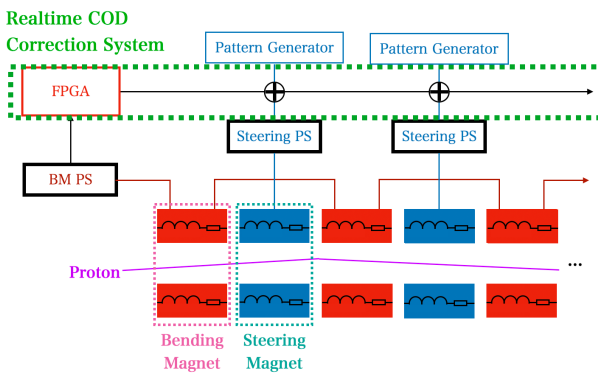


Figure 4: Real-time COD correction system for J-PARC MR.

4. ファームウェアシミュレーション

4.1 補正值計算・データ転送アルゴリズムの設計

本システムの実現では補正值計算及びデータ転送アルゴリズムを開発し FPGA や CPLD のファームウェアとして実装する必要がある。その際重要となるのは COD 補正のリアルタイム性を保証することである。従って補正值計算及びデータ転送の開発では外部入力に対するシステムの動作を、以下を含めて正確に設計する必要がある。

- 外部からの入力によって回路の状態がどのように遷移するか。
- 外部への出力がいつどのようになされるか。
- ハードウェア特有の考慮事項、例えば「ある処理が終わった直後、適切に送信用データを作り同期信号と共に次のハードウェアに渡す」「処理と受け渡しが特定の信号の立ち上がり間に合うか」など。

一般にファームウェアの設計は、デジタル回路においてある部分に変化したとき他の部分をどのように変化させればいいのかをハードウェア記述言語 (HDL) で指示する事で行われる。本研究ではハードウェア記述言語である Verilog を使った。また、本システムの設計では、リアルタイム性の保証のために電子回路の状態変化まで含めたシミュレーションが必要である。従って高水準言語とハードウェア記述言語を組み合わせた厳密なシミュレーションによりファームウェアの設計を行った。(以降本稿ではファームウェアシミュレーションと呼ぶ。) また、本システムでは FPGA からのデータ転送はクロック、同期信号、データの三線シリアル式で行うようにファームウェアを設計した。

4.2 ファームウェアシミュレーションの条件と結果

ファームウェアシミュレーションではリアルタイム COD 補正を構成する全ての機器やデータのやり取りを考慮した。シミュレーションでは過去の電流計測値や擬似的な信号を与えることが可能である。また、本シミュレーションはハードウェア記述言語を用いて機器の実際の状態遷移まで考慮しているため、システムの入出力は値だけでなく、その時刻まで含めて厳密である。

COD 補正効果を評価するため、以下の条件で試験を行った。ただし補正効果は分散関数が周上最大となるある位置における COD の時間発展データの RMS について、COD 補正の有無で比をとったもので評価した。以降補正効果はこの数値を表す。

A) DC 入力

$dI/I=0.0004$ であるような擬似的な定数入力を全ての偏向電磁石電源電流計測値として 0.2 秒間シミュレーションシステムに与え補正電磁石の厳密な出力電流値とその時刻、及び偏向電磁石電源電流計測値の擬似信号から MR 全周で観測される COD を計算した。Fig. 5 にその結果を示す。補正効果は 0.212 であった。

B) 過去の実測電流計測値の入力

過去のビーム試験で実測された偏向電磁石電流計測値を全ての偏向電磁石電源への入力とし 0.2 秒間シミュレーションシステムに与え、補正電磁石の厳密な出力電流値とその時刻及びシステムに入力した偏向電磁石電源電流計測値の信号から MR 全周で観測される COD を計算した。また、MR の現行のステアリングパターン更新間隔は 2 ms であるが、本シミュレーションでは 200 μ s, 1 ms, 2 ms の 3 条件でシミュレーションを行った。また、電流リップル由来 COD の補正効果を確認するため出力結果には 200 Hz のローパスフィルタをかけた。Table 1 に補正効果を示す。

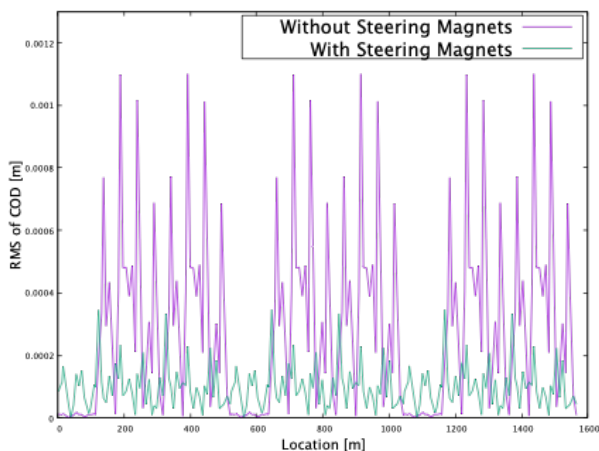


Figure 5: RMS of COD plotted against the location of MR, when inputting DC false signal to the firmware simulation.

Table 1: Effect of COD Correction

Update interval of Steering Magnet Pattern	Effect of COD Correction
2ms	0.905
1ms	0.722
200 μ s	0.331

4.3 ファームウェアシミュレーション結果の考察

現行のステアリングパターン更新間隔 2 ms の補正効果は 0.905 であり、DC における補正効果の 4.28 倍である。しかしステアリングパターン更新間隔を下げ 200 μ s にすれば補正効果は 0.331 まで改善される。これはステアリングパターン更新までの間の電流リップルの変化が無視できないことを表している。そこでステアリングパターン間隔を 200 μ s にする。また、ファームウェア内で電流値の平均化処理手法の改善が望ましいと考えられる。

5. 原理検証試験の方法と結果

MR におけるリアルタイム補正システム実現のため、

まずは補正電磁石一台分に相当する電子回路を作成・用意しリアルタイム補正のファームウェアを実装した(Fig. 6)。作成した加算用 CPLD 基板の試作機のブロック図を Figure 7 に示す。

補正電磁石一台分に相当する電子回路を用いた原理検証試験のセットアップを Fig. 8 に示す。原理実証試験ではまず偏向電磁石電源の代わりに波形生成機から実際の電源における電流偏差と同程度の振幅を持つ正弦波を入力し、Fig.8 中に示した DAC からの出力をフーリエ変換して正弦波に対応する周波数のピークを確認した。具体的な試験条件は以下の通りである。ただし、本試験はハードウェアの動作を確認する事のみを目的とした試験であり、数値そのものに重要な物理的意味はない。またパターンの振幅は DAC 出力電圧で表す。

- 補正電磁石入力パターン：MR におけるハードロン実験用のビーム取り出し間隔 5.2 s の SX モード
- 波形生成機からの入力パターン：実際の偏向電磁石電源における電流リップルと同程度である 20 Hz, 0.33 V の正弦波を擬似波形として入力(Fig. 9)
- 補正值：加算用 CPLD 基板でビーム試験における補正係数と同程度である 0.25 を入力パターンに掛け合わせた。

本原理検証試験の結果を Fig. 10 に示す。結果の解析は、補正值の加算の有無でそれぞれフーリエ変換しその結果の差分を取るによって行った。本試験結果は振幅・周波数共に正確であり、単純な本試験により以下の重要な結果が導かれた。

- ハードウェアの動作の正当性：ハードウェアが、ファームウェアとして実装されているリアルタイム補正用アルゴリズムの高速な状態遷移に耐えること。
- データ転送：情報落ちがなく設計したデータ転送手法が正当であること。

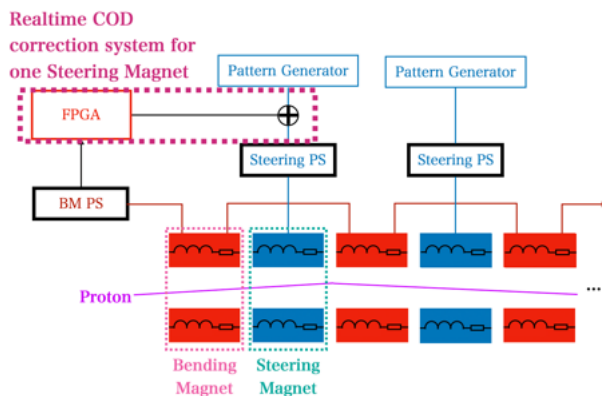


Figure 6: Real-time COD correction system which corresponds to the system for one corrector magnet.

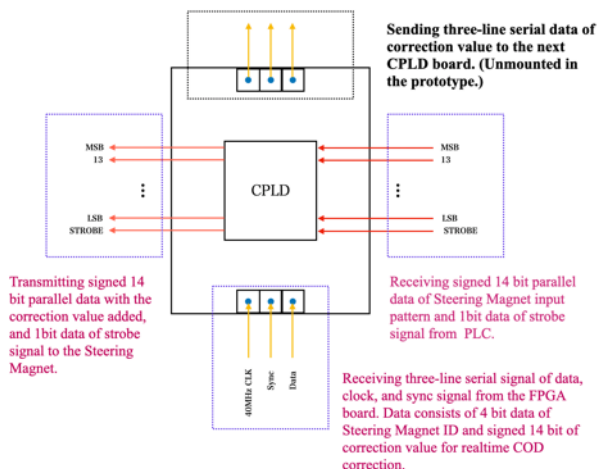


Figure 7: Block Diagram of CPLD adder board we have designed and produced for the proof-of-principle test of the system.

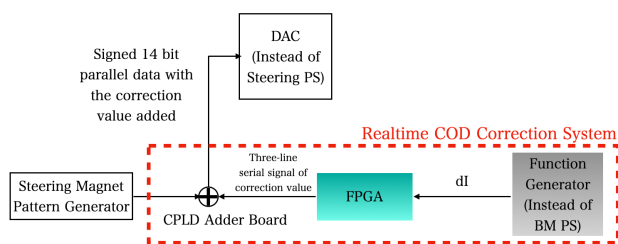


Figure 8: Setup for the proof-of-principle test.

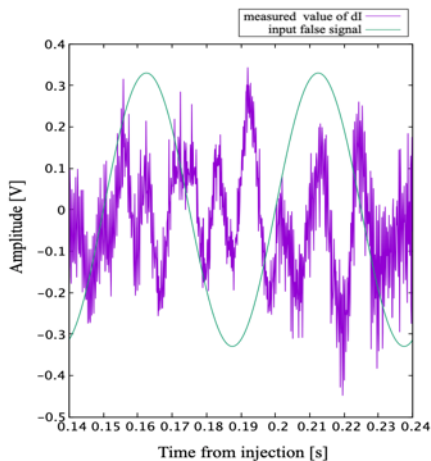


Figure 9: False signal from the function generator imitating measured current ripple of BM power supply.

6. まとめと展望

本稿の要点は以下の通りである。

- MR 偏向電磁石電源電流リップル由来の COD のリアルタイム補正を行うためのシステムを設計し、そのファームウェアとハードウェアの検証を行った。
- ファームウェア部分の COD 補正効果は現行のステアリングパターン更新間隔 2 ms では不十分

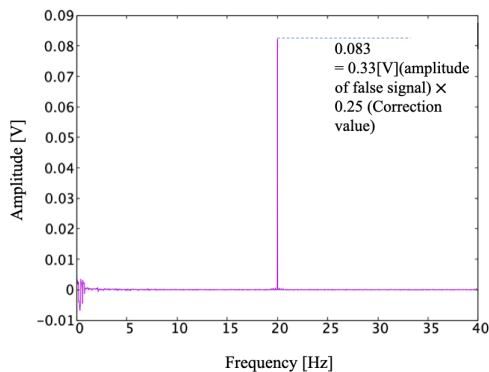


Figure 10: The result of the proof-of-principle test.



Figure 11: Adder board we have designed for the beam experiment using one half-arc of MR.

であるが、200 μ s にすることで補正効果は改善する。また、FPGA へ入力される偏向電磁石電源電流計測値の平均化処理の高度化が望ましい。

- ハードウェア部分はリアルタイム補正に十分耐える性能を持つことを明確に示した。
- また、本稿の結果を元に 12 月に MR の 1 つの半アーク部全てを用いたリアルタイム COD 補正原理検証ビーム試験を行う予定である。そのための加算回路は製作を開始している(Fig. 11:試作機)。

謝辞

本研究では的確なアドバイスや技術的な協力をしていただいた KEK 下川哲司博士、KEK 仁木和昭博士、及びユニバーサルエンジニアリングの佐川隆さんの三名に特に感謝の意を表します。また、本研究は JSPS 科研費 19H05113 の助成を受けたものです。

参考文献

- [1] D.Naito *et al.*, Application of the betatron tune correction system in the J-PARC MR, Proceedings of the 16th Annual Meeting of Particle Accelerator Society of Japan PASJ2019 WEPI042