

## DEVELOPMENT OF 5712MHZ SYNCHRONOUS DELAY VME MODULE

Naoyasu Hosoda<sup>1,A)</sup>, Takashi Ohshima<sup>A)</sup>, Toru Fukui<sup>A)</sup>, Yoshitaka Kitabata<sup>B)</sup>, Yuji Otake<sup>C)</sup>

<sup>A)</sup> Japan Synchrotron Radiation Research Institute (JASRI/SPring-8)

1-1-1 Kouto, Mikazuki, Sayo-gun, Hyogo, 679-5198, Japan

<sup>B)</sup> Mitsubishi Electric Logistics Support Co., Ltd.

4-11 Techno-park, Sanda, Hyogo, 669-1339, Japan

<sup>C)</sup> RIKEN Harima Institute

1-1-1 Kouto, Mikazuki, Sayo-gun, Hyogo, 679-5148, Japan

### Abstract

The SPring-8 Compact SASE-FEL Source (SCSS) project is being carried out. The prototype accelerator of SCSS is under construction to verify its feasibility. The requirement of time stability to the timing system of SCSS is so tight to generate a stable X-ray laser. We develop the accurate timing system having a time jitter within 1ps. To realise very precious timing to activate accelerator components such as a klystron modulator, the method of synchronization using a main accelerator rf frequency signal of 5712MHz was devised. In this paper, we explain the timing distribution system, its components, especially, a 5712MHz synchronous delay VME module, and the result of a synchronization experiment using the method. We finally realized the time jitter of less than 1ps in the experiment.

## 5712MHz同期型時間遅延VMEモジュールの開発

### 1. はじめに

SPring-8サイトでは、X線FEL実験のために、SPring-8 Compact SASE-FEL Source (SCSS)を建設する計画が進行している<sup>[1]</sup>。現在、このプロトタイプとして、ビームエネルギー250MeVの試験加速器を2005年11月のコミッショニング開始を目指し、建設している。

SCSSでは、電子ビームを加速するために、4種類の周波数のRF空洞を用いる。238MHzプレバンチャー、476MHzブースター、Sバンド(2856MHz)前段加速器、そしてCバンド(5712MHz)主加速器である。それらの空洞へのRFはパルス型であるので、各RFシステムには、それぞれ必要な基準RF信号とクライストロンモジュレータなどを動作させるためのトリガー信号を分配する必要がある。

生成する電子バンチの時間幅は0.5ps程度の極短パルスであり、発生した軟X線では、たんぱく質などの構造解析や化学反応の動的な解析の実験を行う。そのため実験系も含めて、フェムト秒領域での時間安定度が、基準RF信号配信系とトリガー配信系に要求される<sup>[2]</sup>。これらは、最新の技術で造られたデバイスを用いて新規開発しなければ、達成できない領域である。しかしながら、この技術は実現が非常に困難なもので、当面は1ps以下の時間ジッターを実現するディレイモジュールの開発を目指した。

ここでは、このうちのトリガー配信系に用いるモジュールの開発について、主に説明する。

### 2. SCSSトリガー配信系

図1にトリガー配信系の概念図を示す。主オシレーター部では、まず低雑音シンセサイザーで5712MHz RF信号を作成し、これを周波数分割することにより、2856MHz、472MHz、238MHzを作成する。

主トリガー作成モジュールは、加速器の繰り返し運転周期を決めるモジュールである。

ここからの主トリガー信号は、シリーズに接続した、6chトリガー分配器を介して、5712MHz同期型

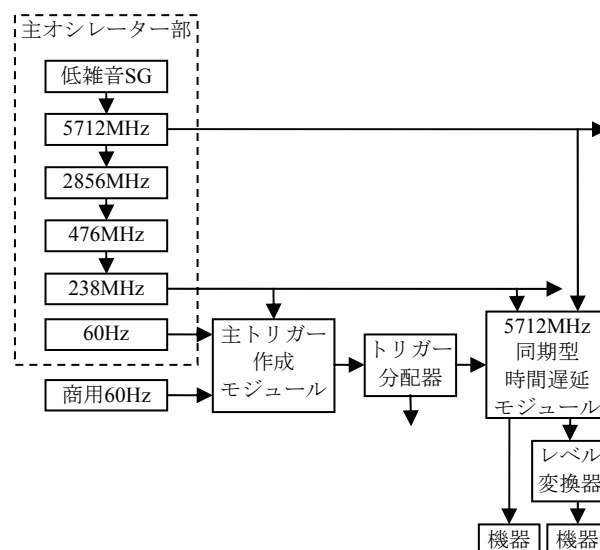


図1：トリガー配信系の概念図

<sup>1</sup> hosoda@spring8.or.jp

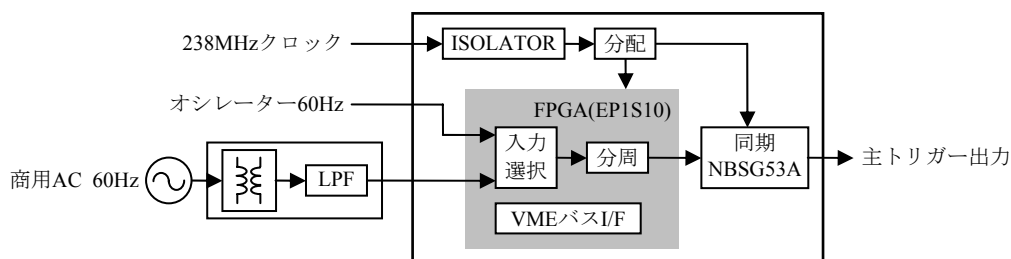


図2：主トリガー作成モジュールブロック図

時間遅延モジュールに配信される。トリガー分配器までは、対ノイズ性を考慮して2芯同軸ケーブルを用いた100Ω差動平衡伝送方式を採用する。

トリガーが必要な機器は、電子銃、ビーム偏向器、クライストロン電源、IQ変調器、IQ検出器、RF波形モニター、電荷モニター、ビーム位置モニターなどであり、250MeV試験加速器では、80チャンネル程度を用意する必要がある。

5712MHz同期型時間遅延モジュールは、それぞれの機器に必要な遅延させたトリガー信号を作成するモジュールである。

この後、機器によっては、レベル変換器を通してから、トリガー信号を機器へ入力している。

### 3. 主トリガー作成モジュール

SCSSでは、繰り返し運転周期として、1Hzから120Hzを想定している。主トリガー信号は、モジュレーター等の機器を安定に動作させるために、商用60Hz AC電源に同期させることができるようにしてある。また、常に一定のRF位相で電子ビームを加速するために、238MHz RF周波数に同期させている。

このモジュールのブロック図を、図2に示す。入力は、238MHz RF信号、商用60Hz AC信号、商用電源の位相とは独立に主オシレーター部で生成した60Hz信号、である。出力は、主トリガー信号である。コネクタは、商用60Hz AC信号はD-sub、他はSMAである。

モジュール内部では、アルテラ社のFPGA Stratix EP1S10を採用し、これを外部からの238MHz信号で動作させている。ここに商用60HzAC同期信号と、

主オシレーター部で作成した60Hzを入力している。これらはどちらを使うかFPGA内部で選択され、分周・2通倍され、繰り返し運転周期を作成している。FPGAからの出力は、最大8GHzで動作する高速論理回路デバイスである、オン・セミコンダクター社のD flip-flop NBSG53Aに入力される。ここで238MHzに再同期を行い、FPGAのジッターを除去している。予想されるジッターは、カタログなどから、238MHzクロックを分配するデバイスが0.2ps、DFFが0.5ps、配線などによる影響が0.5psと見積もり、合計で0.7ps程度と見積もった。

モジュールは制御系との親和性を考え、VME規格とした。60Hz入力信号の切り替え、周期設定、主トリガー出力許可・不許可などの設定は、VMEバスを通して行うことができる。また、設定の読み返しや外部信号の有無の状態なども、VMEバスを通して知ることができる。

### 4. 5712MHz同期型時間遅延モジュール

図3は、このモジュールのブロック図である。入力は、主トリガー信号、238MHz RF信号、5712MHz RF信号、外部ロジック信号による出力許可信号（8チャンネル分）で、出力は、8チャンネルの遅延信号である。コネクタは、外部ロジック信号による出力許可信号はD-sub、他はSMAである。このモジュールもVME規格を採用している。

内部は、2枚の基板で構成されている。1枚目は主トリガー作成モジュールと同じFPGAを用いた、遅延信号作成部である。ここでは、238MHz RF信号をクロックとして用いてFPGAによる24ビットカウン

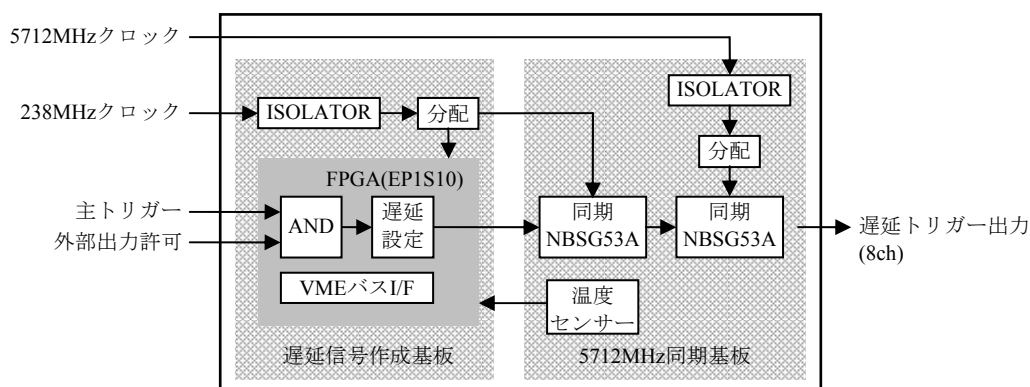


図3：5712MHz同期型時間遅延モジュールブロック図

ターを動作させ、約4.2ns毎に、最大約70msの時間を遅延させることができる。またFPGAは、内部のすべての論理が単一のクロックで同時に動作する同期回路なので、主トリガー信号の最大4.2nsまでの大きなジッターを除去することができる。出力信号のパルス幅は、15ビットカウンターで設定することができる。

またFPGAでは、外部出力許可信号やソフトウェアからの出力許可設定によってトリガー出力許可・不許可を制御している。さらにVMEバスとのインターフェースの機能も行っている。

2枚目はヒーターによって温度制御された、5712MHz同期部である。我々は、最終的な加速周波数である5712MHz RF信号に対する機器の動作タイミングジッターをできるだけ除去して1ps以下のジッターを得るために、タイミング系の最終段で、5712MHz RF信号に再同期を行うように設計した。これはシリコンゲルマニウムによる、最大8GHzで動作する高速論理回路デバイスが利用できたために、可能になったことである。ここでも前出のNBSG53Aを用いている。

まずこのデバイスを用いて238MHzに再同期している。これはいきなり5712MHzを用いると、もしFPGAからの出力信号のジッターが5712MHzの1クロックである175ps以上発生した場合、ずれたクロックタイミングに再同期してしまうからである。この238MHz再同期信号を、さらに5712MHzに再同期してモジュールから出力している。

この2枚目は、高周波アイソレーションを考慮してアルミ箱に基板が収められている。この箱は、ヒーターと温度センサーを内蔵しており、雰囲気温度の変動によるジッターを抑えるように温度制御を行っている。内部温度はVMEから読み出すことができる。1枚目と2枚目はセミリジッドケーブルで接続されている。

予想されるジッターは、5712MHzクロックを分配するデバイスが0.2psでこれが2段、DFFが0.5ps、配線などによる影響が0.5psと見積もり、計0.8ps程度と見積もった。

現状、メーカーで行った試作品の測定では、見積もられるジッターが0.5psに対し、測定系ジッターも含めた測定値として0.9psを得ている。測定系のジッターは0.7psであったので、試作品のジッターは0.6psとなり、期待の持てる値である。測定値の例を図4に示す。

最後にSCSSの制御システムは、SPRING-8で開発・使用されているMADCOCAを採用する。そこでそのためのSolaris 8用のデバイスドライバーも製作中である。

## 5. まとめ

現在、SPRING-8サイトでは、SCSS計画のためのビームエネルギー250MeV試験加速器を建設中であり、我々はトリガー配信系で用いるモジュールを開発しているところである。試作した5712MHz同期モジュールを使った予備的な実験でも、0.6ps程度の時

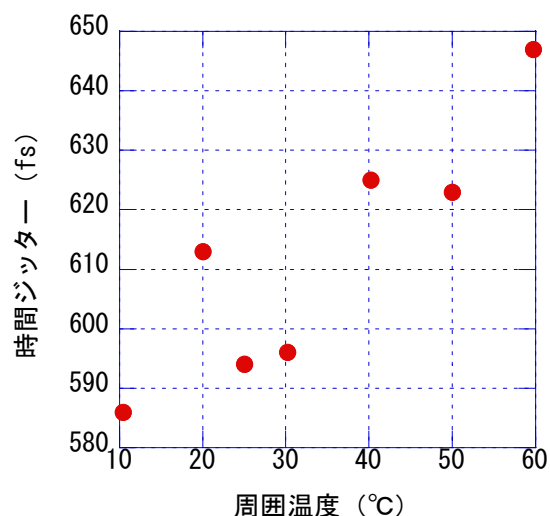


図4：同期回路試作品ジッター一例

間ジッターの測定結果を得た。この値は、既に述べた我々の要求を満足する値である。

トリガーの遅延時間や運転のための論理を作成する部分に省配線のためにPLDを採用し、それを加速器の加速RF信号から分周して作成したクロックで動作させ、最後に機器へトリガーを送るところで加速RF信号に再同期を行って、加速RFに対するジッターをできるだけ抑える方法は、SPRING-8加速器で実績がある<sup>[1]</sup>。

SCSS主加速器では5712MHz RF信号が使われるので、この加速周波数に同期した遅延トリガーを生成するモジュールの開発が、トリガー配信系のひとつの鍵になっている。

今後はモジュール単体での動作チェック、ジッター測定などを行った後、試験加速器でシステムとしての動作を確認していかなければならない。

なお、現在製作しているこれらのモジュールは、それ自身が機能実証のためのプロトタイプである。SCSS本体建設時には、トリガーが必要な機器の数が増えるため、遅延モジュールの数も大幅に増える。コスト面などでもそれに対応できるように、さらに機能などを洗練したモジュールを製作していく予定である。

## 参考文献

- [1] “SCSS X-FEL Conceptual Design Report”, May 2005. <http://www-xfel.spring8.or.jp/SCSSCDR.pdf>
- [2] Y. Kim *et al.*, “S2E simulations on jitter for European XFEL project”, EPAC2004, Lucerne Switzerland, Jul 2004. <http://accelconf.web.cern.ch/AccelConf/e04/PAPERS/MO/PKF016.PDF>
- [3] N. Hosoda *et al.*, “Reconfigurable timing controller using PLDs”, ICALEPCS2003, Gyeongju Korea, Oct 2003. <http://accelconf.web.cern.ch/AccelConf/ica03/PAPERS/MP547.PDF>